

用串行Flash Memory配置FEC板 VME板的FPGA

Configure FPGAs on FEC Board and VME RO Board
Using Serial Flash Memory

中国科学技术大学近代物理系
BESIII Muon电子学组

周雷

2006年4月27日

目标：

为了在muon电子学系统安装后方便电子学系统调试，要求muon电子学读出系统能够在工作人员不需要拔下插件及不需要系统断电的情况下，进行对VME读出插件及与其相连接的FEC数据链上的可编程逻辑器件(FPGA)的重新配置和逻辑的重新加载。

配置方式的选择

所选的配置方式要能够满足以下要求：

1，配置的长距

在远离FEC板的VME机箱上对FEC板配置

2，配置的可控

在PC端可控制FPGA的重复带电配置

3，多片FPGA的同时配置

4，配置数据的在线更新

不断电对FPGA的逻辑进行改动

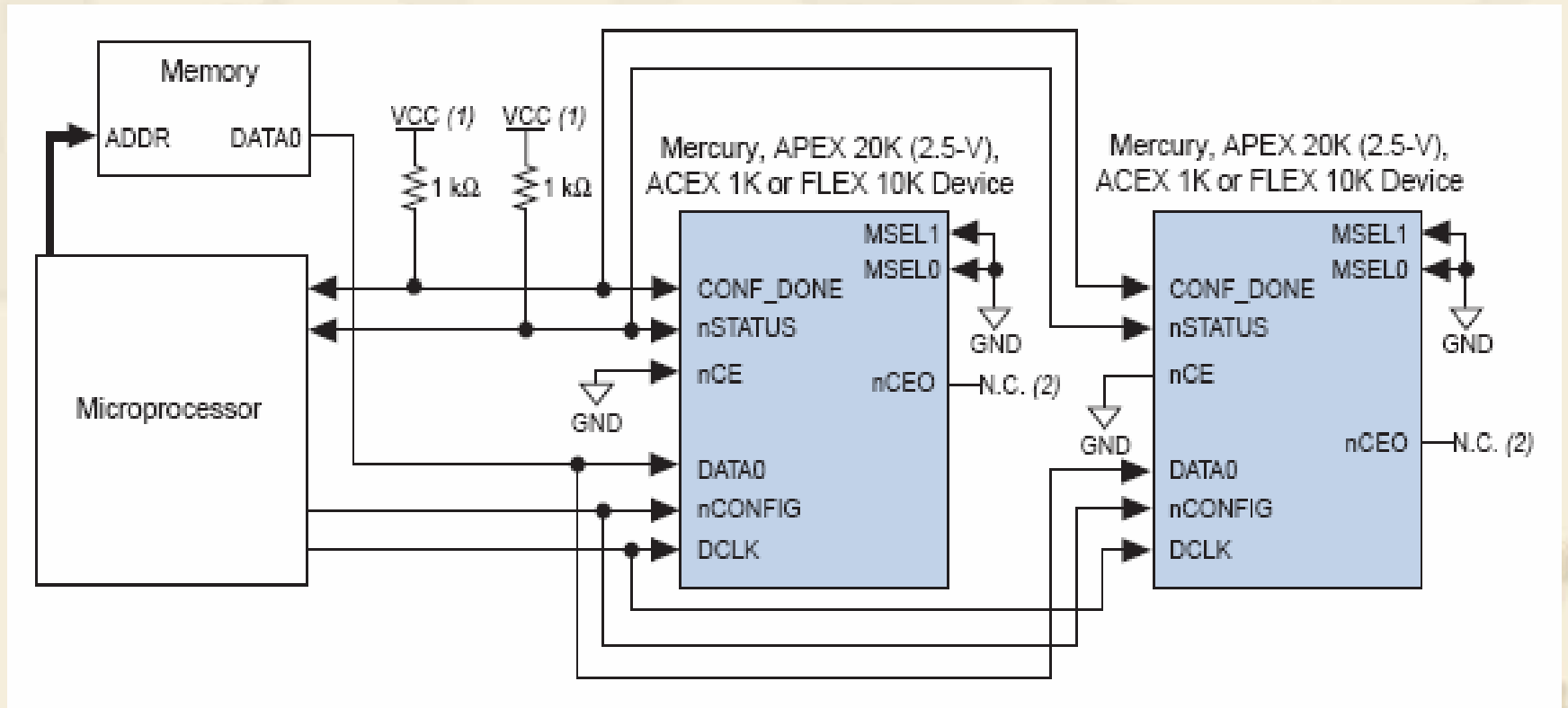
5，配置的便捷

配置流程简单，数据更新及配置所需时间短

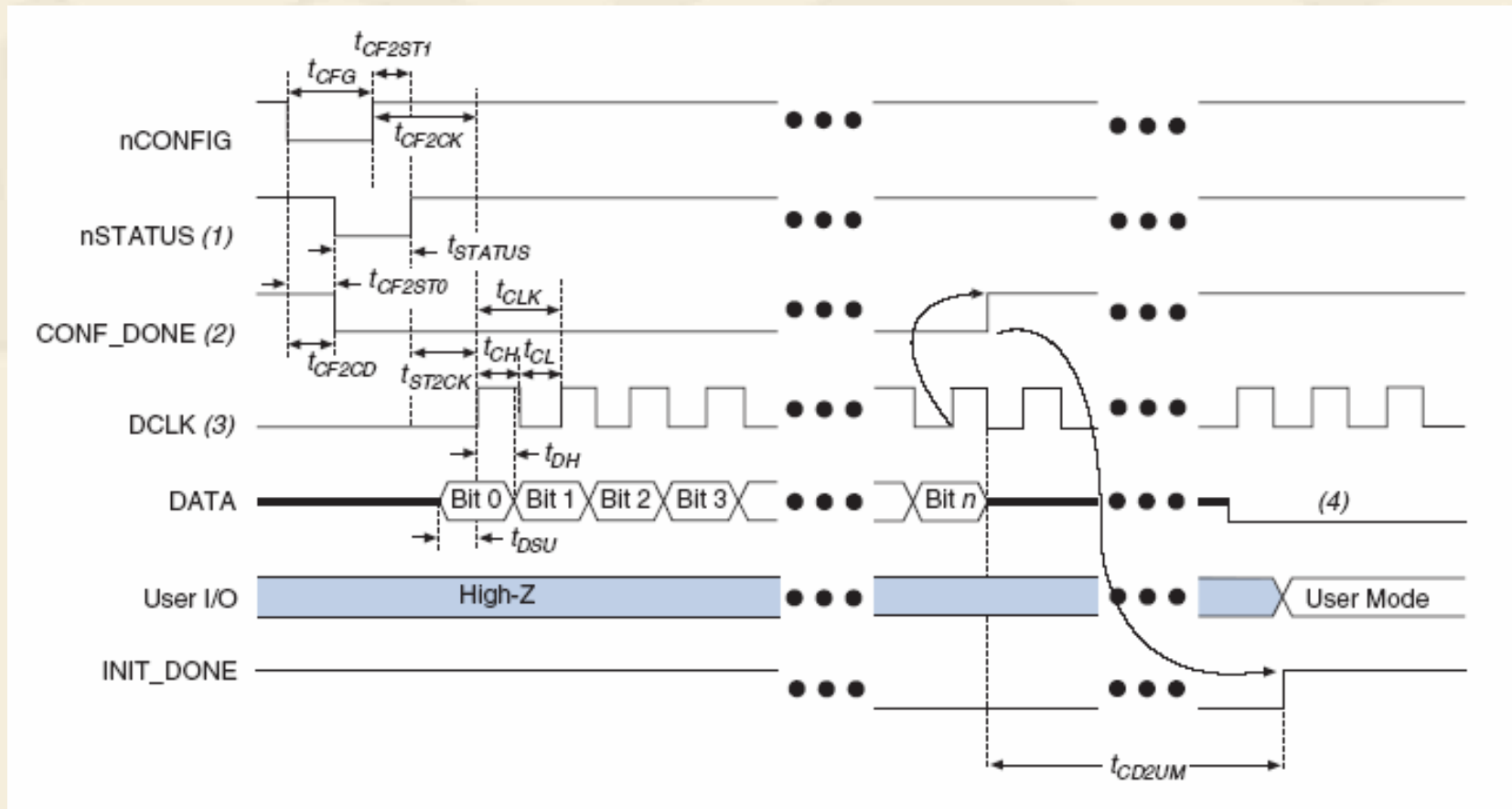
基于以上的考虑选择了Altera公司提供的用微处理器控制
(**microprocessor**)的Multi-PS配置方式。

Multi-Device PS Configuration Using a Microprocessor

(Cyclone与ACEX1K的Multi-PS一样，只是CONG_DONE和MSEL的连接稍有不同)

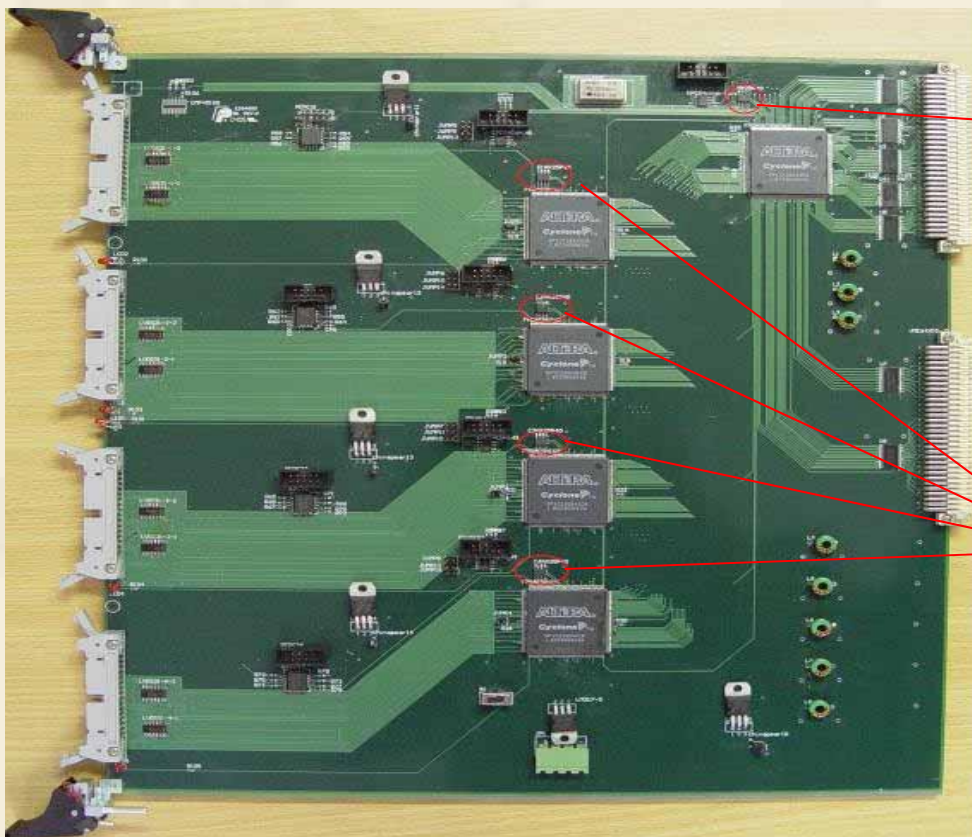


PS Timing Waveform

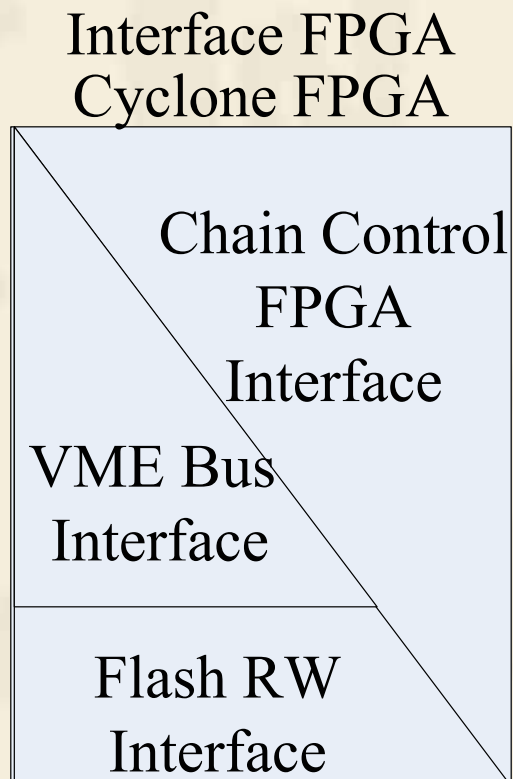


实现方法：

- 1，用接口FPGA代替微处理器，来完成配置数据的存取及FPGA的配置。
- 2，用SPI接口的串行Flash Memory来存储配置数据。



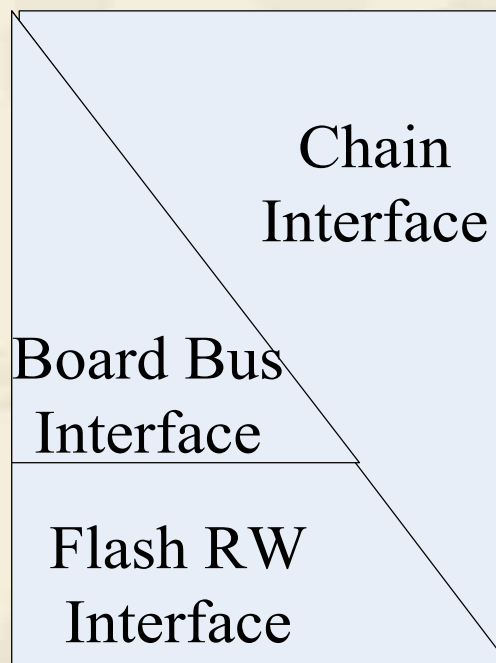
接口FPGA逻辑框图



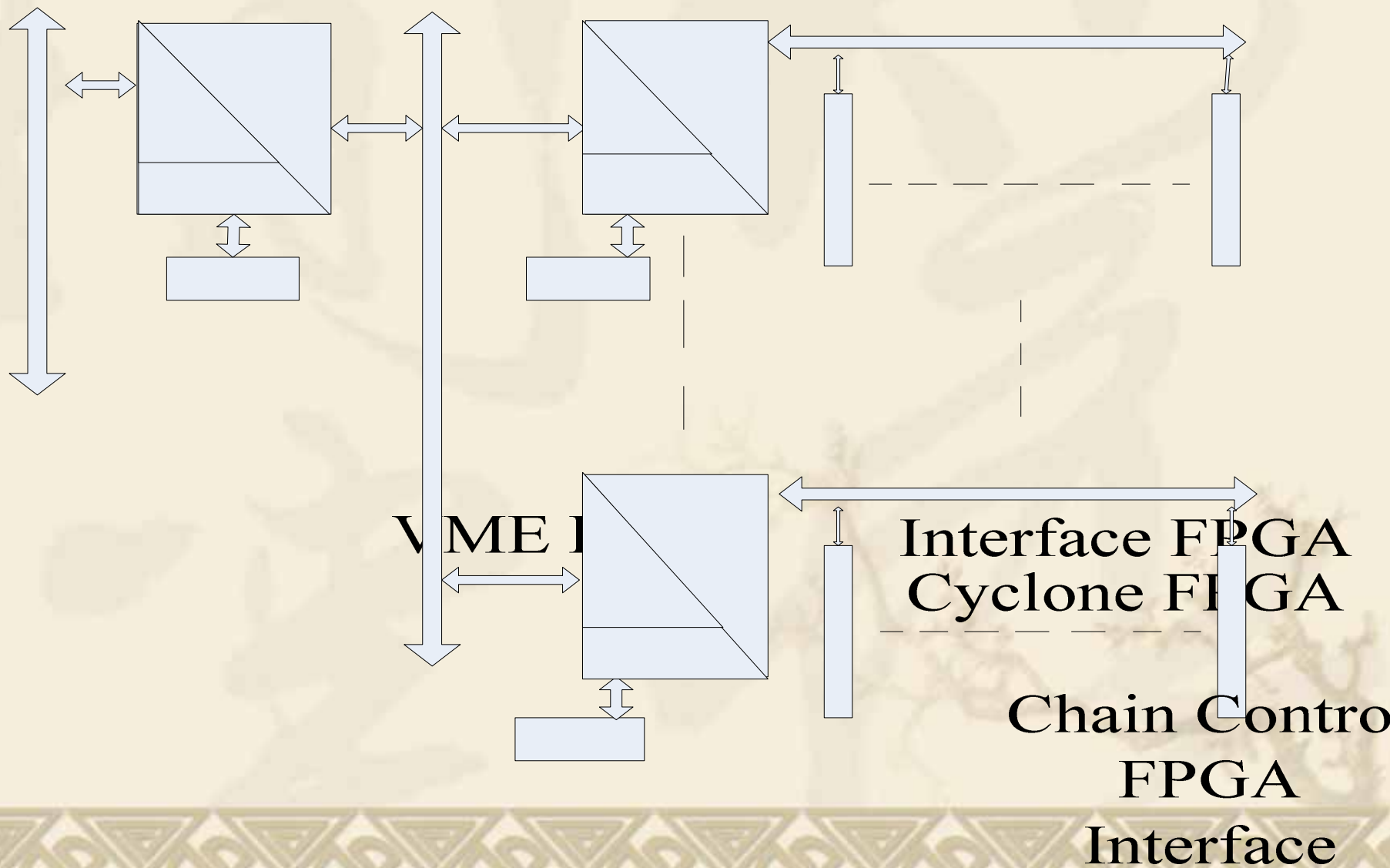
数据链控制FPGA逻辑框图

Chain Control FPGA

Cyclone FPGA

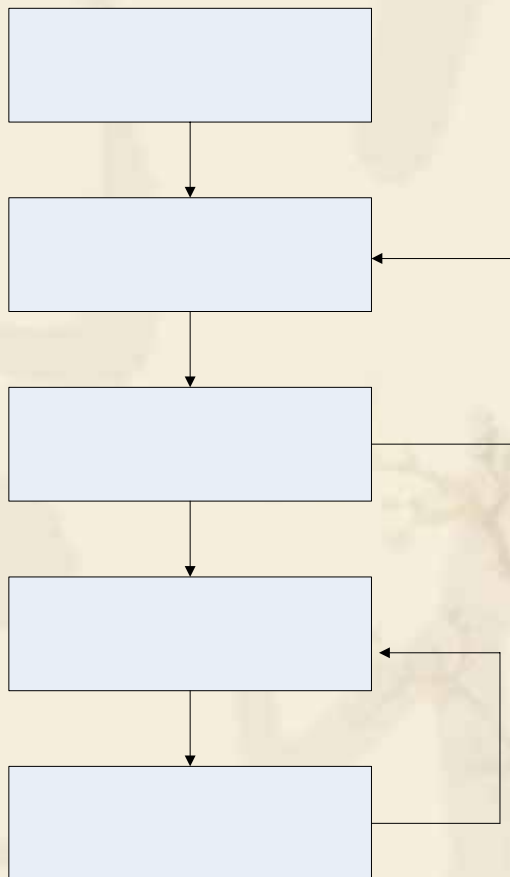


总体逻辑框图



执行流程：

将PC中QuartusII软件生成的配置文件*.rbf通过网线发送到PowerPC上，再由PPC通过VME总线发送到VME读出插件上并存储在插件上的Flash Memory中，之后由接口FPGA配置数据链控制FPGA，再由数据链控制FPGA配置数据链FPGA。



逻辑重载时间消耗

逻辑重载时间=存储器擦除时间+存储器数据写入时间

一个读出插件及所连4条数据链：

- 1，数据链控制FPGA逻辑重载时间~13秒
- 2，数据链FPGA逻辑重载时间~12秒
- 3，一个读出插件及所连数据链一次配置数据的全部更新所消耗的时间为上两个时间之和约为25秒

一个机箱上10个读出插件及所连40条数据链：

可以进行并行操作，所耗时间与一个插件时间相同，总时间约为25秒

实验

A.原型机系统

- 1, 重复下载配置文件进行配置100次全部成功
- 2, 取数过程中拔插烙铁3000次, 数据没有错

B. VME读出插件V2.0系统

在不断电重起系统的情况下：

- 1, 1插件+4条数据链, 重复下载配置文件进行配置100次全部成功。
- 2, 2插件+5条数据链, 重复下载配置文件进行配置100次全部成功。



实验说明利用这种方法代替配置芯片(EPCS4,EPC2)实现FPGA在线的可控配置及配置数据的重载是稳定可靠的, 可以保证工程的质量。



感谢：

在此感谢高能所江晓山，王铮给与的帮助。





谢谢

