



VME数据汇总插件的预制研究

主漂电子学组

杨一帆

2006-4-26

报告提纲：

★ 当前情况介绍与分析

系统简介

数据传输速度分析

解决方案

★ 数据汇总插件的预研研究

预研目标

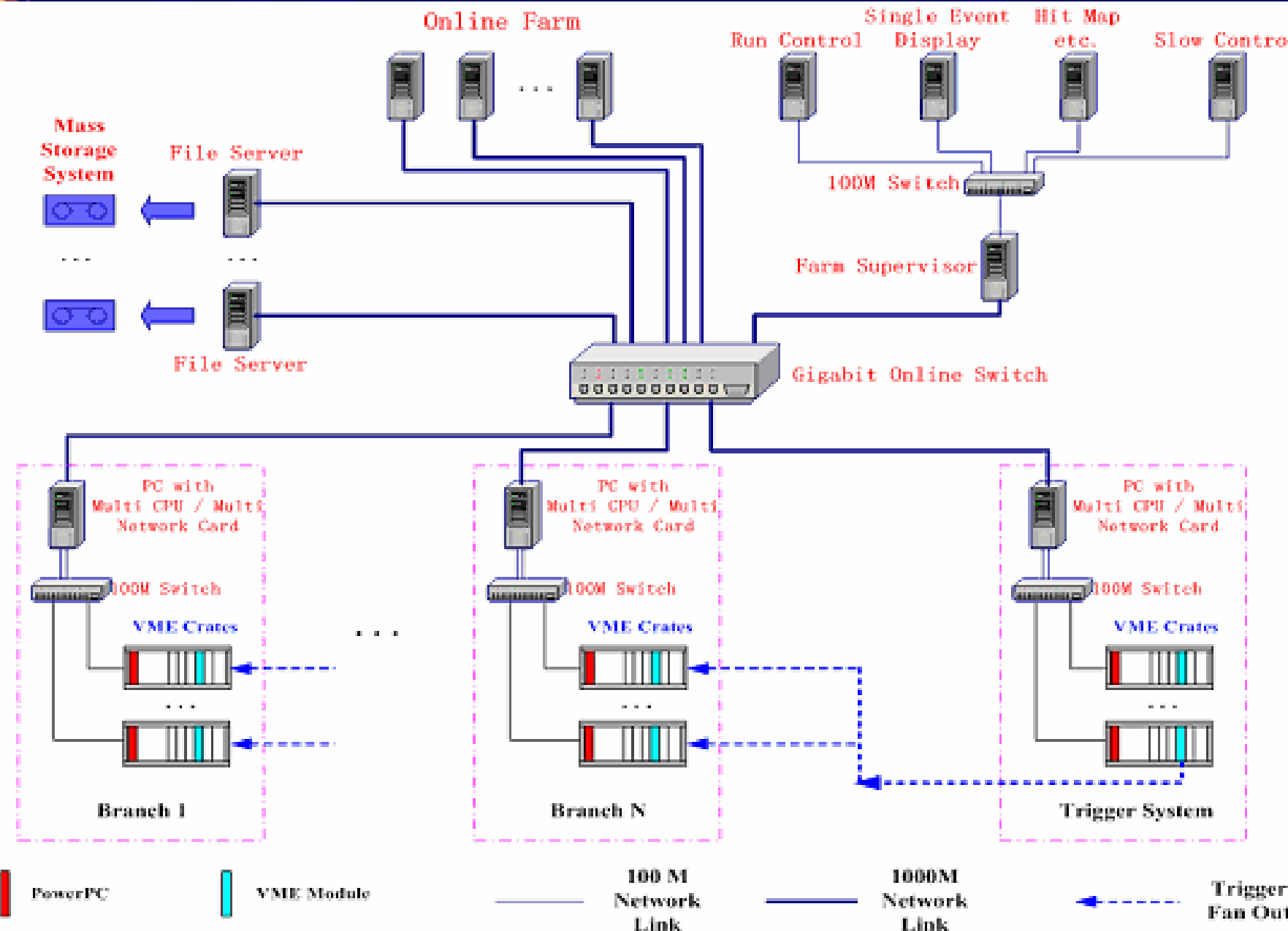
系统设计及实现

测试及结果

★ 预研的待改进之处

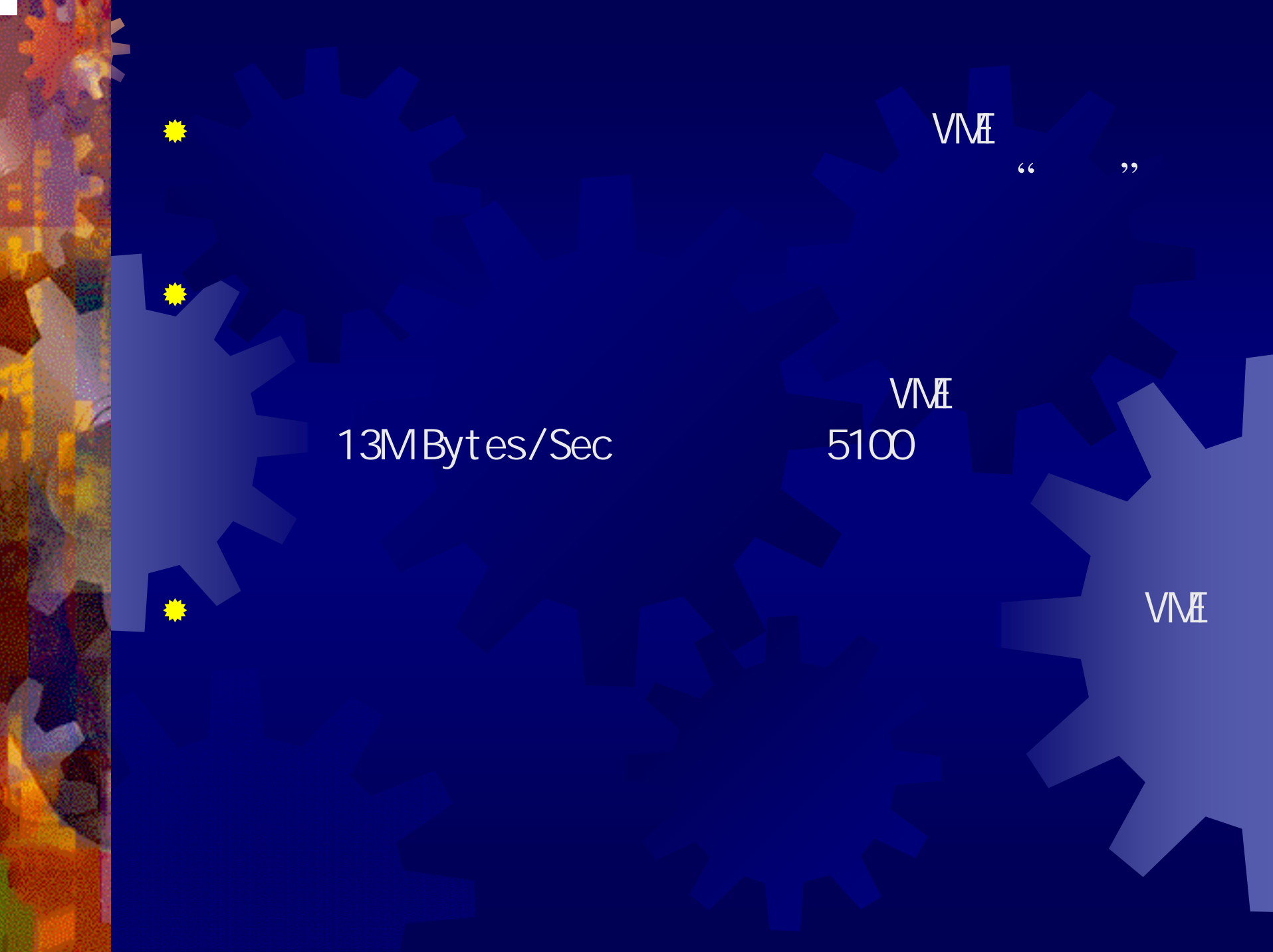
系统简介：

- ★ 正在建造中的BESIII主漂移室（MDC）电子学系统用来接收主漂移室6796根信号丝的输出信号，并经过一系列处理后将数据传送至在线数据获取系统作进一步分析处理。BESIII在线数据获取系统大规模运用先进的计算机和网络技术，采用多级并行处理方案。最低一级为基于VME总线系统的读出机箱，由前端电子学MGT插件和相关控制插件及PPC组成。VME处理机采用MVME5100单板计算机，用以完成数据的采集、处理、监视和传输。若干个读出机箱通过Ethernet网络的100M Switch连接到读出计算机，组成一个读出分支。所有读出分支通过1G以上Switch连接到在线计算机群，形成数据获取系统的数据流主干通路。来自各读出分支的子事例数据包通过在线计算机群汇总成完整事例，并进行标记、处理和监测，直到安全记录到永久介质上（参见下图）。



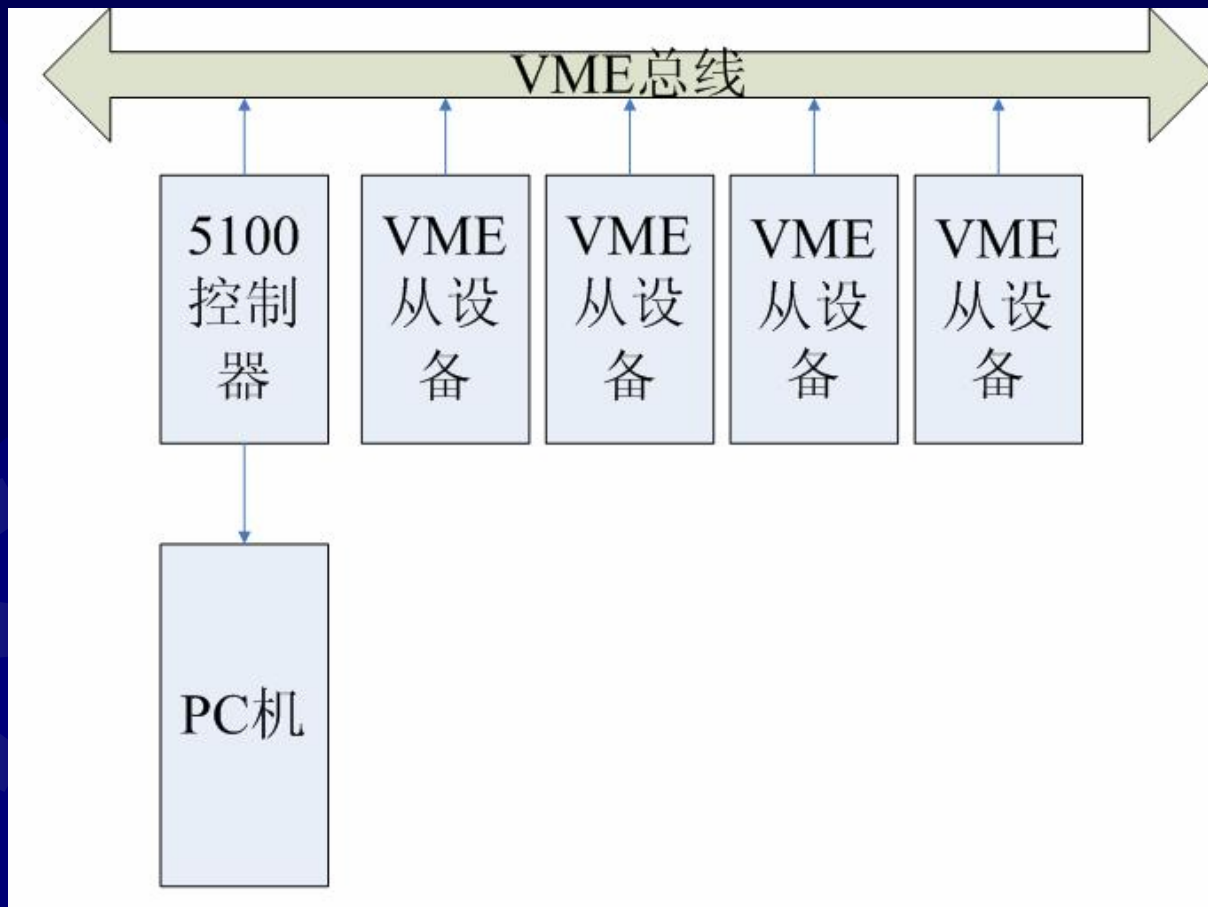
数据传输速度分析：

- ★ 对于BESIII数据获取系统而言关键技术问题之一是实现来自前端电子学的事例数据高速读出。
- ★ 由于读出机箱VME总线的读出速度和计算机节点间的网络传输速度受到设备带宽的限制，最容易在系统中形成数据流“瓶颈”。根据对特定I/O设备的测试结果，使用MVME5100处理机编程访问VME设备，单次直接“读”操作的时间周期为 $1\ \mu\text{s}$ 以上（其中800ns为处理机占用的时间，其余为设备占用时间），32 Bit读出速度至多为3M Bytes/sec；CBLT方式的32 Bit读出速度可达到13M Bytes/Sec以上。因此，最终VME数据读出方案采用CBLT (Chained Block Transfer) 方式。
- ★ 由此可知系统整体的数据传输速度也约为13M Bytes/Sec。

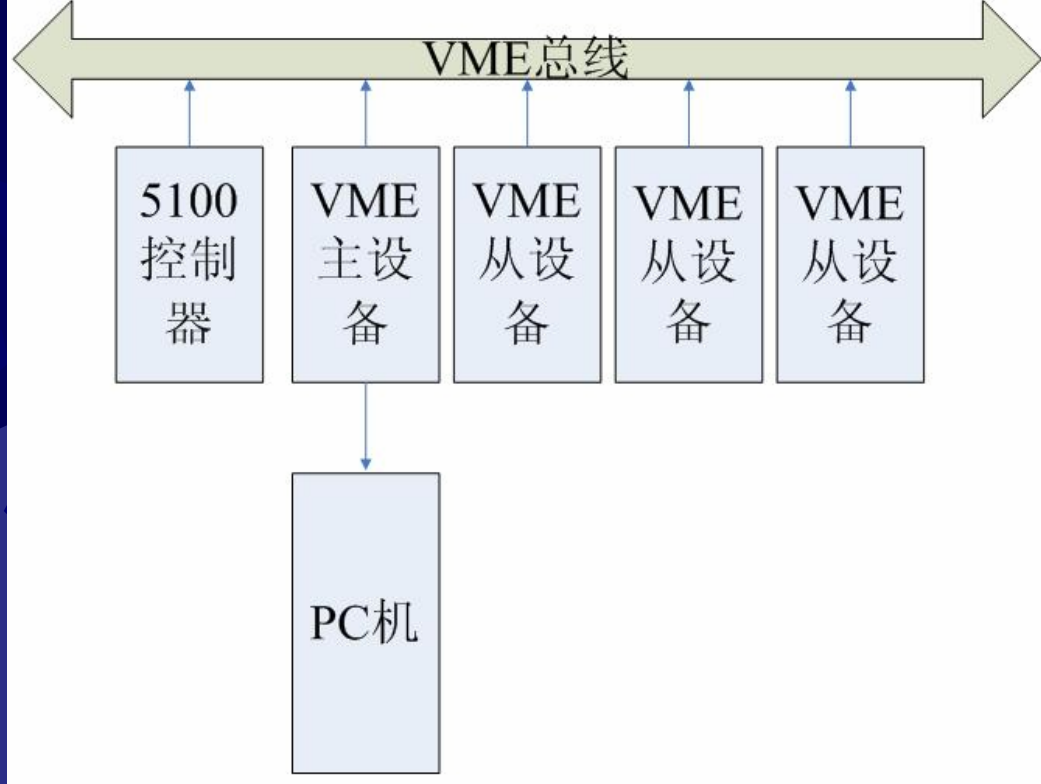
- 
- ✦ 相比于升级相对容易的网络传输来说，VME总线数据传输速度将成为制约系统整体数据传输速度的“瓶颈”所在。
 - ✦ 为什么这么说呢？网络产品现在已经发展得非常成熟，千兆交换机很容易就能把网络传输速度比现在提高一个数量级，而对于目前结构下的VME总线传输系统来说，13M Bytes/Sec几乎已经是5100处理机所能提供的速度极限，即使还能有所提高，也无法提高一个数量级。
 - ✦ 因此，提高系统整体数据传输速度的关键在于提高VME总线系统的数据传输速度。

解决方案：

- ✦ VME64协议中总线传输速度的极限是80M Bytes/Sec，VME64X协议附录中提到的2eVME传输协议的极限速度是160M Bytes/Sec，由此可见，VME总线的数据传输能力并不差，之所以目前数据传输速度只能达到极限的一小部分，最大的限制在于5100控制器，因此，必须设计新的数据汇总插件来提供比5100控制器更快的数据传输功能。
- ✦ 以下是前后两种数据传输方案的比较：



- ★ 当前VME数据传输系统主要由作为VME从设备的功能插件和5100处理器组成。当数据条件满足时，由其中一个读出控制插件产生中断信号，5100处理机响应中断产生相应的中断服务程序，以CBLT DMA方式读各插件数据，然后将数据通过网络传送给PC机处理。



★ 未来的VME数据传输系统与当前系统相比，多了一个作为VME主设备的数据汇总插件，由此插件负责读取各功能插件的数据并传输给PC机，这样，VME总线的数据传输便能摆脱5100处理机的处理能力限制，从理论上说就有了达到VME总线极限速度的可能。另外，相比于不可二次开发的5100处理机，自行设计的数据汇总插件在与PC机的连接上也有很大的可扩展性，例如，数据汇总插件除了可被设计为通过网络与PC机进行连接外，还能被设计为通过光纤与PC机进行连接，这样就可以从两个方面全面改进系统的传输速度，最大限度的增加了系统改造的灵活性。



设计目标：

- 从功能上说，数据汇总插件必须具有VME主设备的基本功能，因为在VME总线系统中，只有主控制器和主设备才能读取从设备数据，而且数据汇总插件必须满足2eVME协议，因为此协议与一般的VME传输协议相比能提供高一倍的速度；在与PC机的连接方面，数据汇总插件必须具有网络连接能力或者光纤连接能力。
- 从性能上说，数据汇总插件必须提供160M Bytes/Sec的数据读取速度和与之匹配的数据传出速度。



★ 当前情况介绍与分析

系统简介

数据传输速度分析

解决方案

★ 数据汇总插件的预研研究

预研目标

系统设计及实现

测试及结果

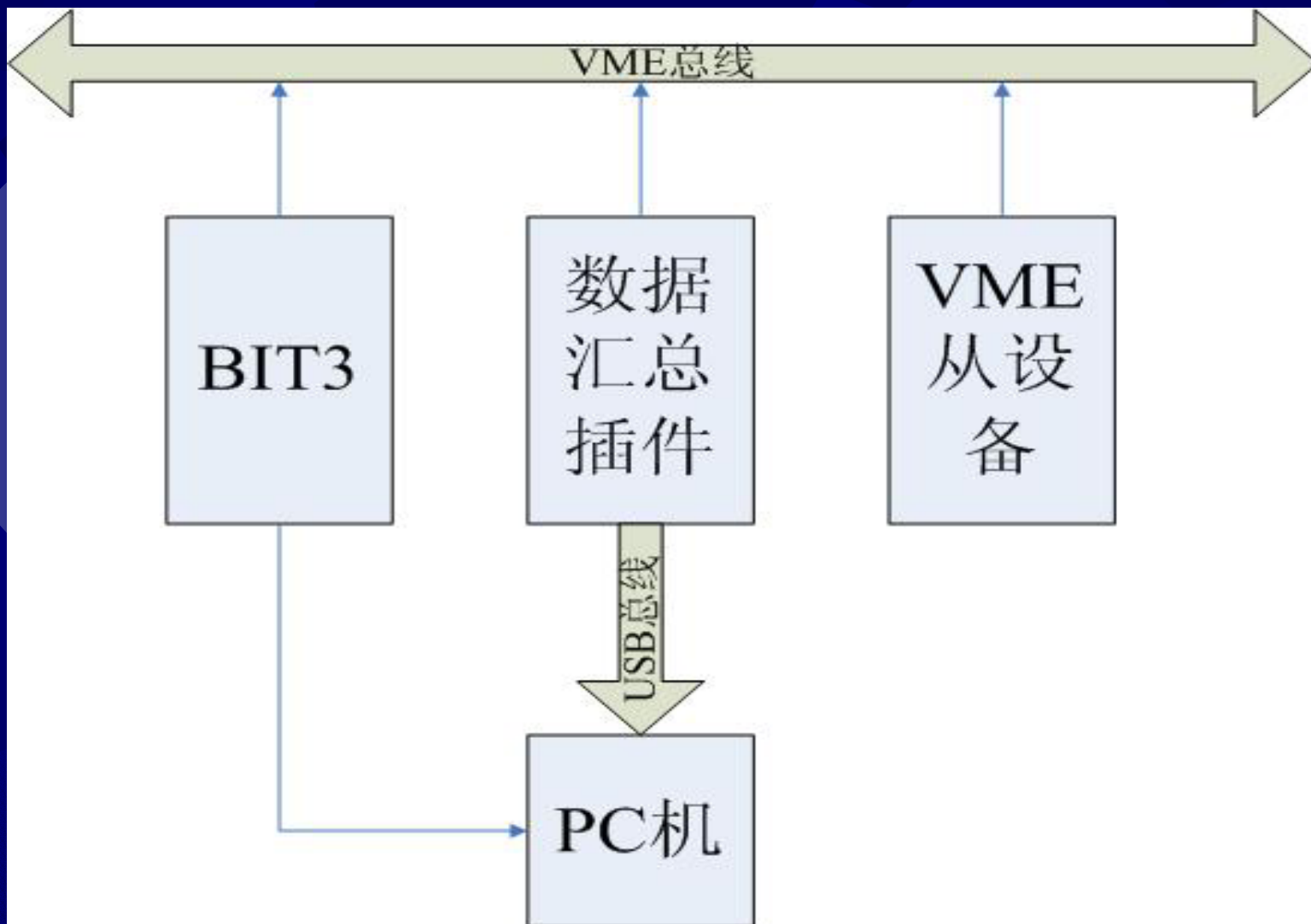
★ 预研的待改进之处

预研目标：

- ★ 要达到设计目标，必须解决两个主要难题，一是达到160M Bytes/Sec数据传输速度并满足c2eVME协议的VME主设备研究，二是达到匹配数据传输速度的与PC机的高速连接方法的研究。
- ★ 鉴于最终目标的困难性，需要分两步解决以上两大难题，预研目标重点放在解决第一个难题的一部分，完成具有部分VME64协议主设备功能的数据读取插件，并能通过某种手段与PC机进行连接以完成数据验证。
- ★ 这个目标也是由现有条件决定的，目前手头的VME功能插件只支持VME64协议，如果要做2eVME协议的主设备，必须有与之配合的满足2eVME的从设备，这势必增加工作量，所以不如先用已有的VME64协议的从设备来配合实验，在完成了VME64协议主设备的基础下再考虑2eVME主设备的实现。

- ★ 预研的最终考虑：
- ★ 满足VME64协议、具有部分VME主设备功能（能完成对从设备的32Bit读与Block Transfer）、具有部分VME从设备功能（能被VME主控制器读写）、硬件设计兼容2eVME协议要求、能通过USB总线与PC机连接，完成数据交换。
- ★ 性能方面在保证数据正确的情况下尽量高速即可，VME总线系统速度至少超过13M Bytes/Sec，USB由于涉及软件比较多，所以目前只要能正确完成数据验证即可，系统的整体速度不作要求。

系统设计及实现



系统结构介绍：

- ★ 上图是实际实验硬件平台。
- ★ 组成包括：数据汇总插件电路板一块（自行设计）、6U VME64机箱一个、VME从设备板一块（硬件已有，需自写程序）、VME控制器一个（Bit3）、带USB接口和BIT3控制软件的PC机一台。

VME总线简介：

- ★ VME总线是由Motorola公司1981年推出的第一代32位工业开放标准总线，是一种通用背板总线。经过二十多年发展，背板所能提供的理论上最高数据传输速度由最初的40MB/sec发展到现在的320MB/sec，传输协议也由最初的VME32发展到VME 64、VME64X和2eVME直到最新的2eSST。是电子、计算机工业中应用最广泛的计算机背板总线之一。
- ★ VME总线包含四种下级总线：数据传输总线、优先级中断总线、仲裁总线、效用总线。其中数据传输总线支持数据宽度为8位、16位、32位、64位的数据传输。
- ★ 数据传输只能由主控制器或主设备发起，从设备只能配合完成数据传输过程，但是从设备可以通过中断请求上级设备发起数据传输，数据传输类型由中断请求及相应中断服务程序决定。

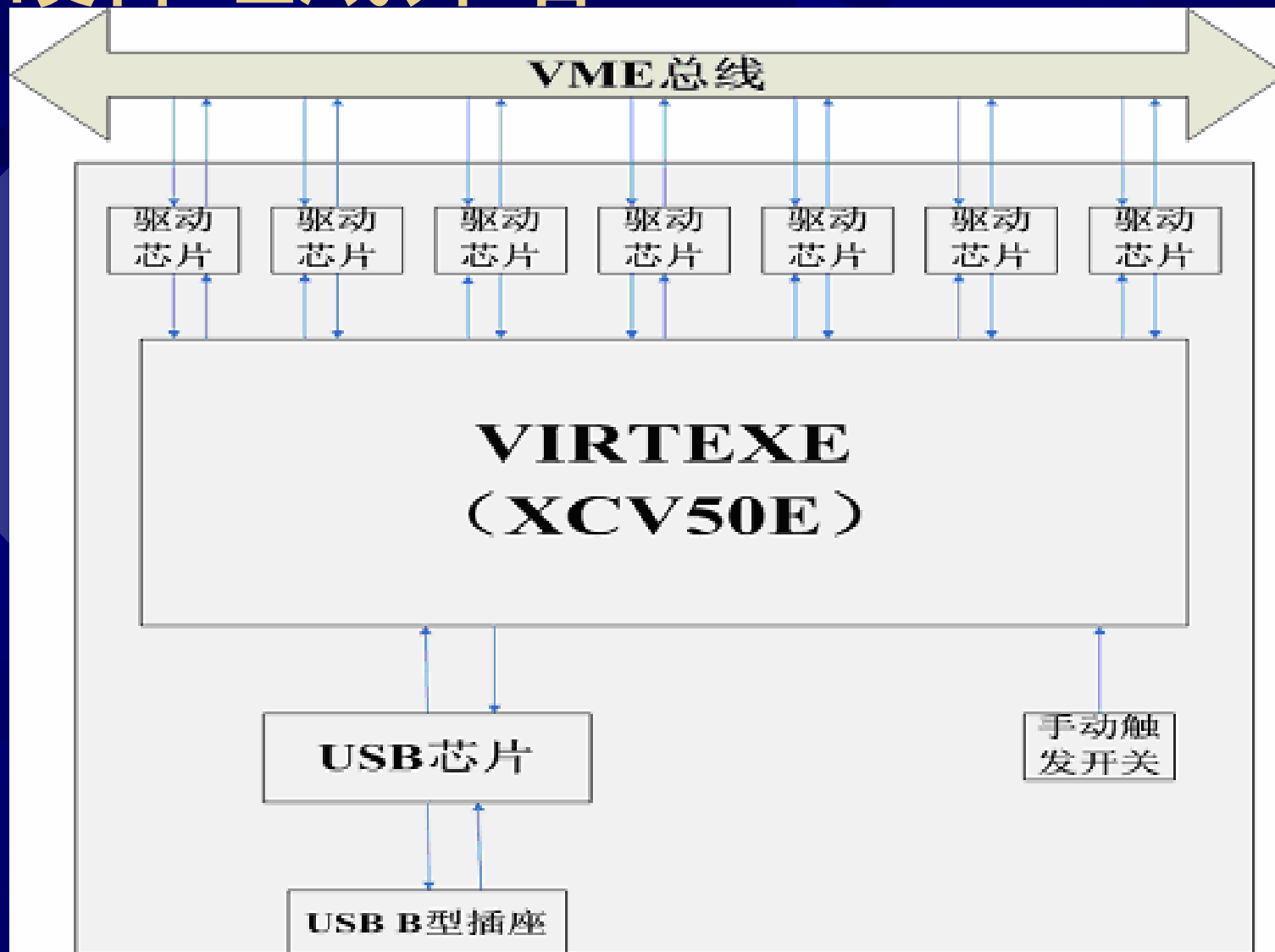
VME总线简介（续）：

- ★ VME主设备可以代替VME主控制器向从设备发起数据传输，前提是通过仲裁总线向主控制器申请数据传输总线控制权，而且数据传输完成后必须释放数据传输总线。

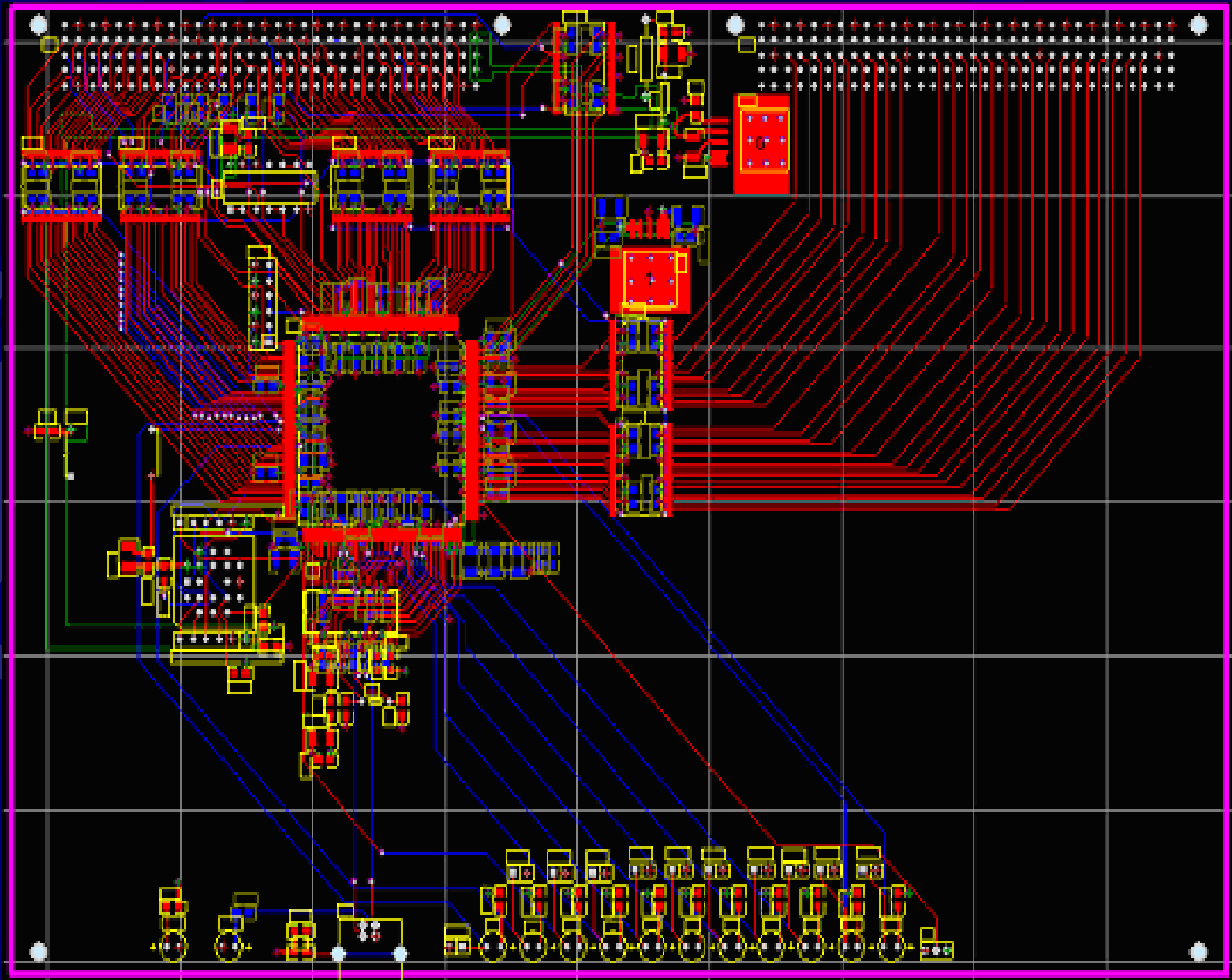
数据汇总插件基本工作流程：

- ★ 由以上VME总线数据传输特点可以设计出数据汇总插件的基本工作流程如下：
- ★ 当满足特定数据条件时，由VME从设备产生中断，数据汇总插件接收中断的同时向主控制器申请数据传输总线控制权，得到控制权后一边发出中断响应信号一边进入相应的中断服务程序，完成对从设备的数据操作，然后释放数据传输总线，并将读来的数据通过USB总线传递给PC机完成数据验证。
- ★ 主控制器可以读写数据汇总插件，这样可以通过主控制器向数据汇总插件提供必要的控制信息以及提供了另外一条数据验证通道。

硬件组成介绍：

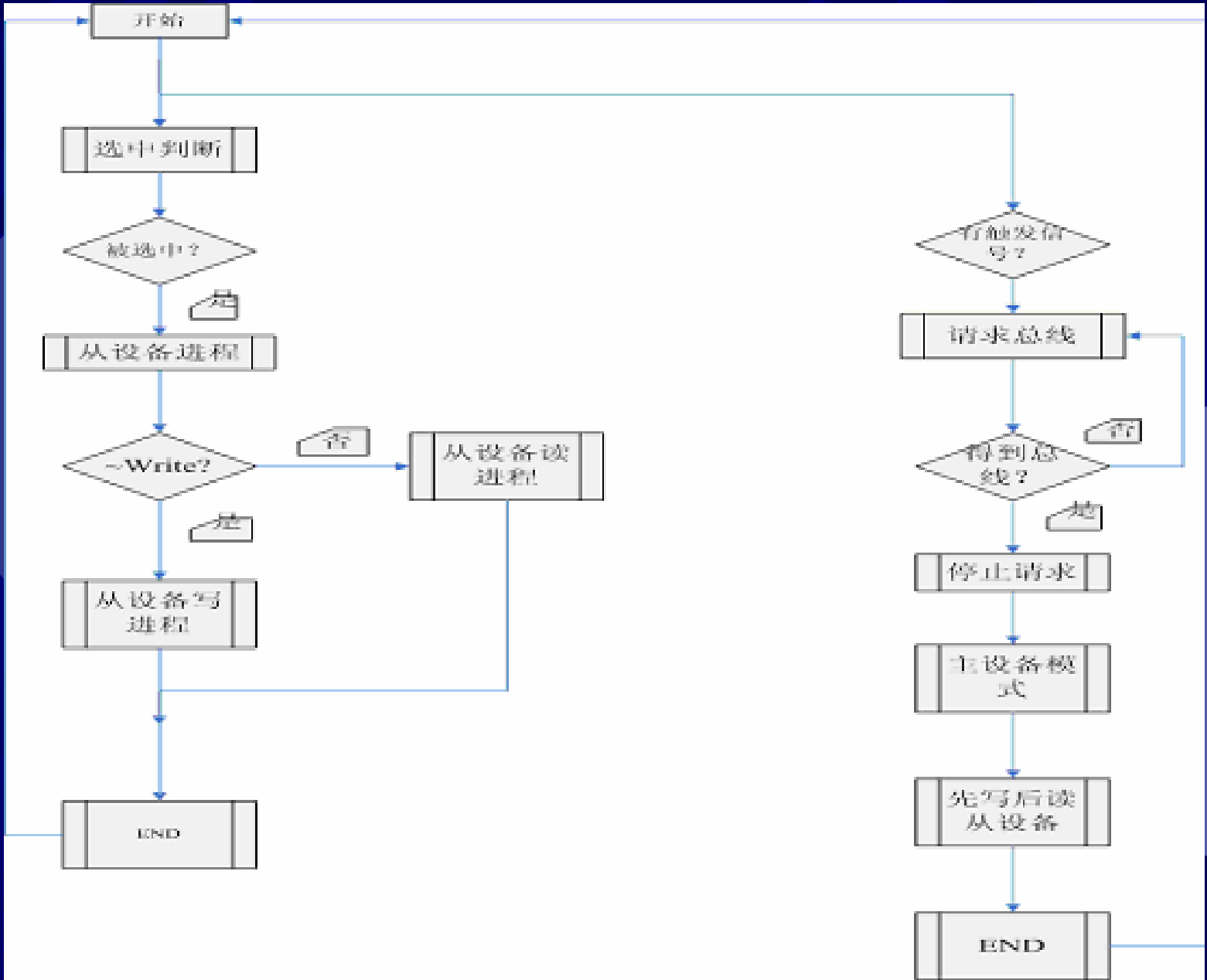


- ★ 数据汇总插件设计成6U VME插件，总线协议基于VME64，主要功能由一块FPGA芯片编程实现，芯片为Xilinx公司VIRTEXE系列中的XCV50E；由于FPGA芯片电平与VME总线信号电平不兼容，因此在FPGA与VME总线之间加上两种共七块信号驱动芯片；手动触发开关本用于提供USB芯片复位信号，后来此信号由BIT3产生；USB芯片为Cypress公司的CY7C68001，与USB插座一起用于数据验证。
- ★ FPGA芯片程序存储在专用的EEPROM中，上电加载。
- ★ CY7C68001用硬件实现了USB传输协议，只需要少量配置信息便可在数据汇总插件与PC间建立数据传输通道，前提是PC上安装了此芯片的驱动程序及应用程序。

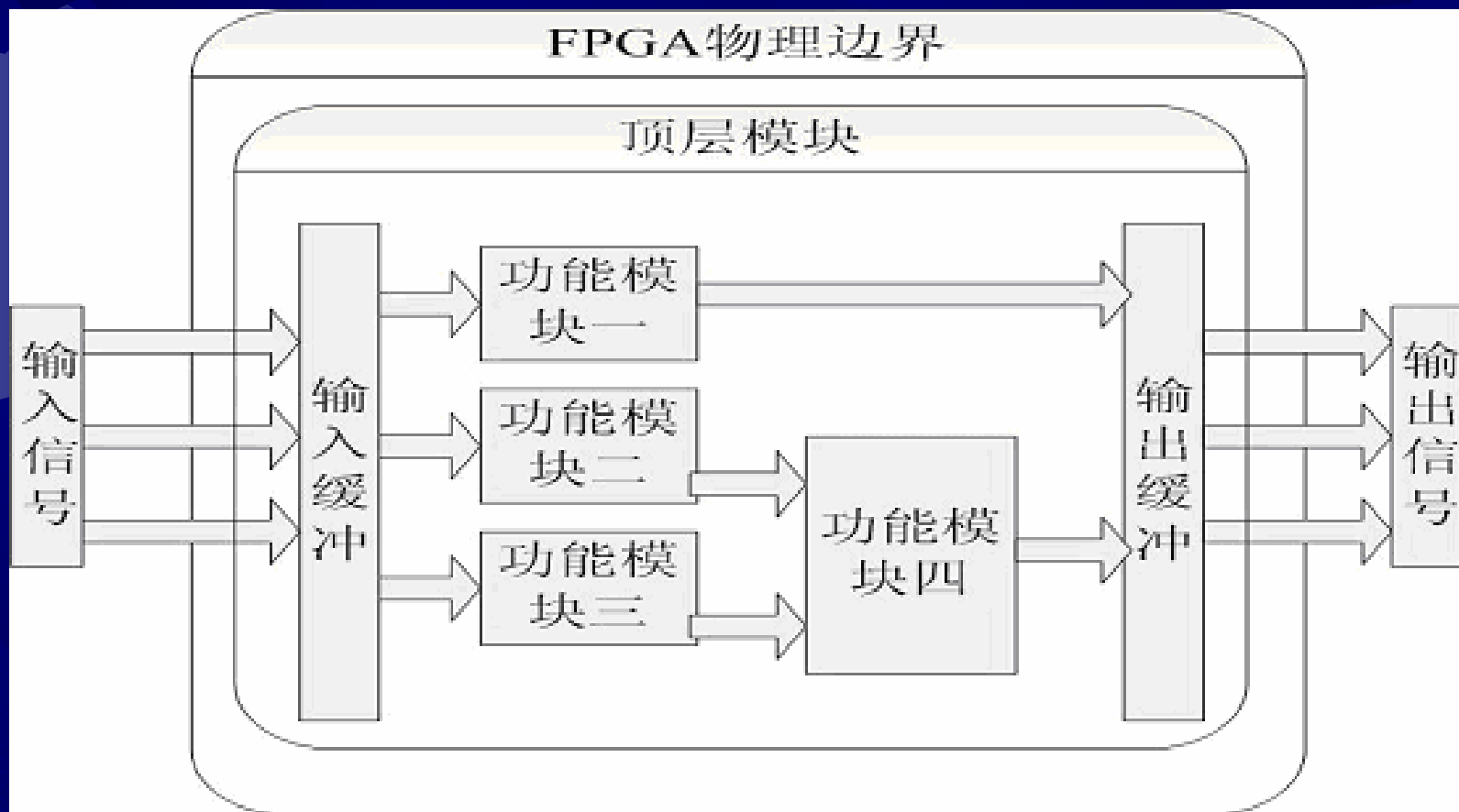


程序设计：

- ✦ 程序设计主要包括FPGA程序设计及USB驱动及应用程序设计。其中USB驱动程序及应用程序由WINDRIVER软件自动生成，重点在于决定电路板功能的FPGA程序。
- ✦ FPGA程序主要包括两部分，VME部分与USB部分，VME部分负责完成满足VME协议的总线接口，使电路板能在不同的时间扮演不同的VME角色（主/从设备）；USB部分负责配置USB芯片。程序按模块化设计方法用Verilog语言完成。
- ✦ 程序流程如下图所示：



- ★ VME部分程序由顶层模块、主设备模块、从设备模块、中断处理及总线申请模块、仲裁模块等模块组成。



- ✦ 此程序需要实现VME主/从设备功能。对于主设备来说，需要驱动地址选通、数据选通等信号，需要接收DTACK等信号；而对于从设备来说，则要驱动DTACK等信号，接收地址选通和数据选通等信号。各信号时序除了满足VME64协议外，在方向上也要根据设备角色的不同而变化。所以实现起来除了信号时序外，信号方向以及信号仲裁都需要仔细考虑。
- ✦ USB程序主要用来配置USB芯片，只要芯片配置得当，数据汇总插件只需将要验证的数据写入此芯片的FIFO中，并提供结束信号，USB芯片便会自动将数据打包成适合USB总线传输的包，当PC端开始监听端口时，USB芯片便自动将数据传给PC机。
- ✦ 此程序难点在于实现对于一系列USB芯片寄存器的写操作，最简单的方法是用二维数组来实现一系列配置信息的顺序存储，然而ISE只支持Verilog语言的一个子集，并不支持二维数组这个数据结构，因此最后采用的方法是将二维数组展开成一维。

- ★ USB芯片配置信息存在FPGA芯片中，在数据汇总插件进行从设备写进程时，PC机通过BIT3修改数据汇总插件的一个寄存器值，此值的变化触发USB芯片跳出复位进入配置状态并完成芯片配置。
- ★ 一旦配置完成，PC机会识别出USB设备并安装相应驱动程序，然后运行USB程序进行端口监听即可获得写入USB特定端口的数据。

- ★ 数据通过USB验证需要确保两点，一是数据在VME总线中传输不出问题，另一个是保证数据在USB总线中传输不出问题。在设计程序时，代码编写与硬件验证是一直交叉进行的，数据的正确也证实了设备功能的正确。
- ★ 测试与程序设计的过程如下：
- ★ 首先编写从设备板程序。通过BIT3能正确读写此从设备板来确保从设备程序的正确。
- ★ 然后设计主设备程序，并将从设备板程序移植到数据汇总插件上，使其同时具有主/从设备功能。通过数据汇总插件正确读写从设备板来验证主设备板程序的正确。具体的做法是用数据汇总插件写特定数据到从设备板，然后用BIT3读从设备板数据进行验证；用数据汇总插件读从设备板数据，然后用BIT3读主设备板数据进行验证。
- ★ 最后设计USB程序。通过设备的正确枚举和数据的正确传输来确认程序的正确。

- ★ 当以上程序都设计正确后，再加强数据汇总插件程序功能，使之能完成数据的块传输与连续传输，单次中断处理功能和连续中断处理功能。
- ★ 在验证数据的连续传输时必须借助USB通道将数据同步显示在计算机屏幕上，因为数据连续传输需要数据汇总插件连续占有VME总线中的数据传输总线，此时BIT3没有数据传输总线的控制权，因此不可能利用BIT3来完成此时的数据验证。
- ★ 单次中断处理的成功并不能表示连续中断处理功能的正确，在连续中断处理的实验中经常会发生状态机工作失常的状态，而这些状态在单次中断处理实验中是不会显示出来的。为了捕捉失常状态，采用的方法是在连续中断实验中延长两次中断的时间间隔，这样即使用一般的四通道示波器也能人为捕捉失常状态了。

测试及结果：

- ★ 数据汇总插件满足VME64协议、具有部分VME主设备功能（能完成对从设备的32Bit读与Block Transfer）、具有部分VME从设备功能（能被VME主控制器读写）、硬件设计兼容了2eVME协议要求、能通过USB总线与PC机连接，完成数据交换。
- ★ 经过实验，VME数据汇总插件正确传输8个32bit数据需耗时2.4us，换算成读出速度为15M Bytes/sec，达到了最初的设计要求。

★ 当前情况介绍与分析

系统简介

数据传输速度分析

解决方案

★ 数据汇总插件的预研研究

预研目标

系统设计及实现

测试及结果

★ 预研的待改进之处

预研的待改进之处：

- ★ 预研只是针对了一个VME从设备，而实际情况下的数据汇总插件需要能同时处理多个VME从设备的数据读取要求，所以在中断处理能力上还需要加强。
- ★ 预研中的VME信号延时过大，虽然保证了数据的正确传输，但是并没有达到速度的极限，修改信号延时可以进一步提高数据传输速度，但延时太短时会碰到信号完整性问题，这也是电路板设计时没有仔细考虑的问题。
- ★ 在FPGA程序调试方面，由于硬件设计的问题，不能应用chipscope协助调试，而仿真并不能显示程序运行时硬件的真实状态，只能用示波器观察，带来了很多不便。
- ★ 在与PC的连接方面，USB相关程序设计很复杂，只能依靠软件自动生成效率不高的通用程序，导致系统的整体数据传输速度很低。



THANKS !