


EMC子触发系统的调试

触发组：乔巧

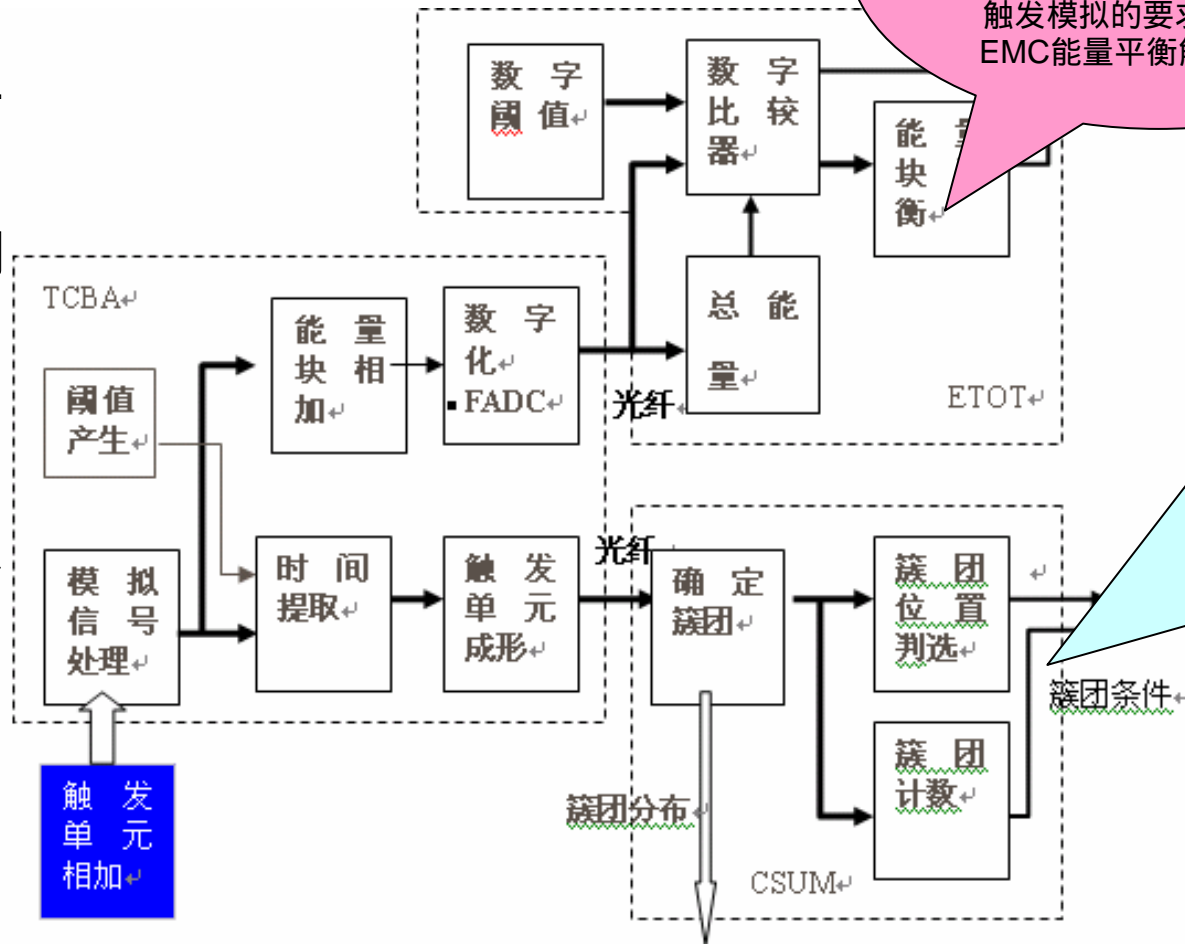
2006.4.27

- 
- 系统整体方案的调整；
 - TCBA版本3的改进；
 - TCBA第三版的进展和调试状况；
 - CSUM部分的调试情况（魏书军）；

一、系统整体方案的调整

原方案：系统由三块板TCBA，CSUM，ETOT组成，另外有一块测试板TCBAT。

TCBA完成对触发单元的过甄别阈以便进行簇团的计数，并且提取EMC的时间信息。触发单元能量进一步相加形成能量块信息。桶部共需12块TCBA板，端盖部分共需2块TCBA板。



ETOT板完成部分桶部和端盖的能量相加,并与阈值比较,生成能量触发条件送总触发。同时对能量块处理,按触发模拟的要求生成各种EMC能量平衡触发条件。

CSUM板接受来自TCBA板的触发单元过阈数字信号,相邻连续的'击中'的单元合并后称作孤立的簇团(CLUS)进行计数,并作各种符合逻辑,产生簇团计数和'背靠背'等6种触发条件。并给出用于径迹配对的EMC在 ϕ 向的信息。

新方案：系统改为
两块板组成。

TCBA板，提取的
过甄别阈信息和能
量信息均送入
VIRTEXII，通过一
路光纤传送。
(ROCKETIO的方
式)

16块TCBA板

光纤传送

16路
光纤接收，
送入
FPGA
中

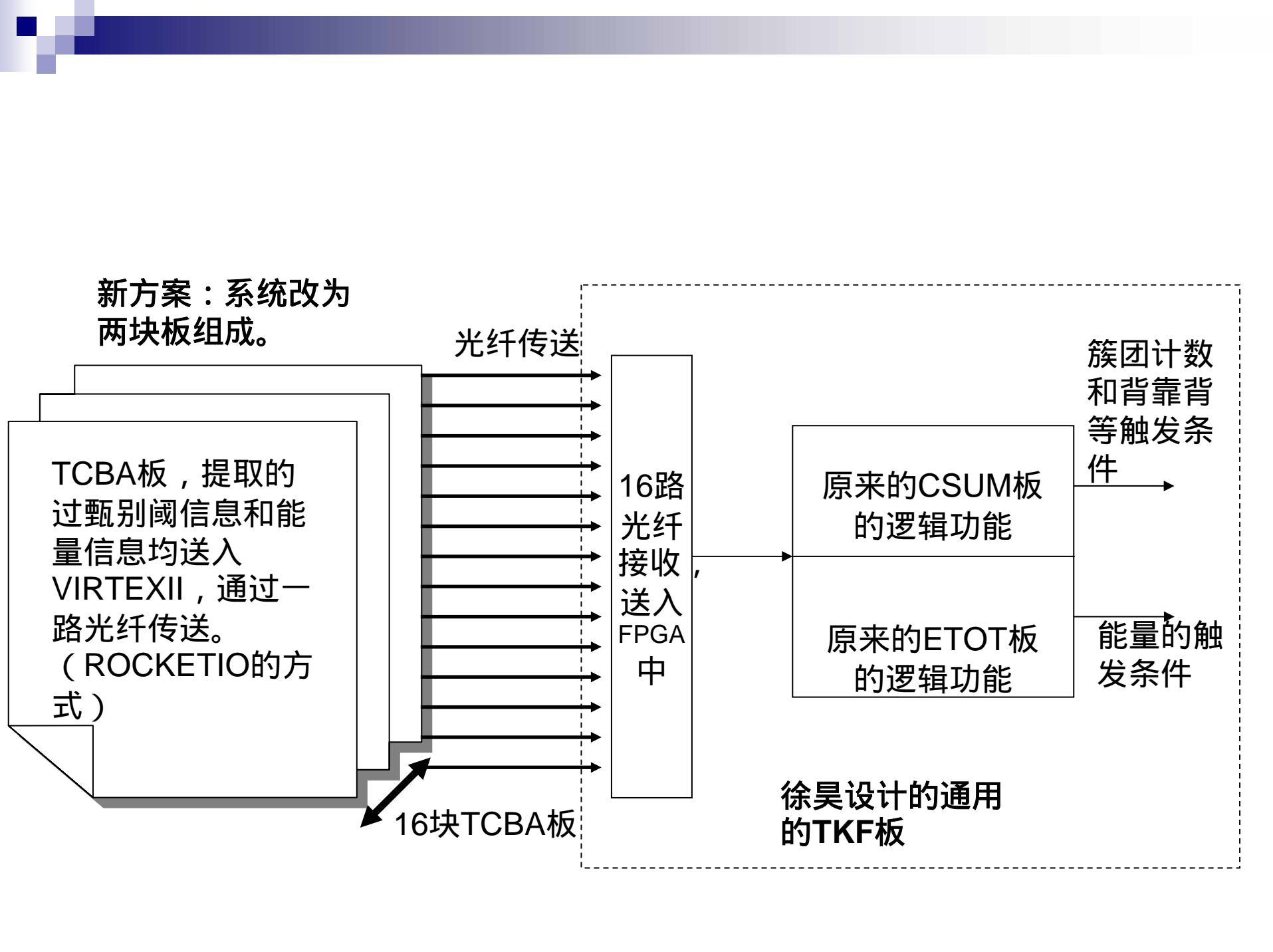
原来的CSUM板
的逻辑功能

原来的ETOT板
的逻辑功能

簇团计数
和背靠背
等触发条
件

能量的触
发条件

徐昊设计的通用
的TKF板

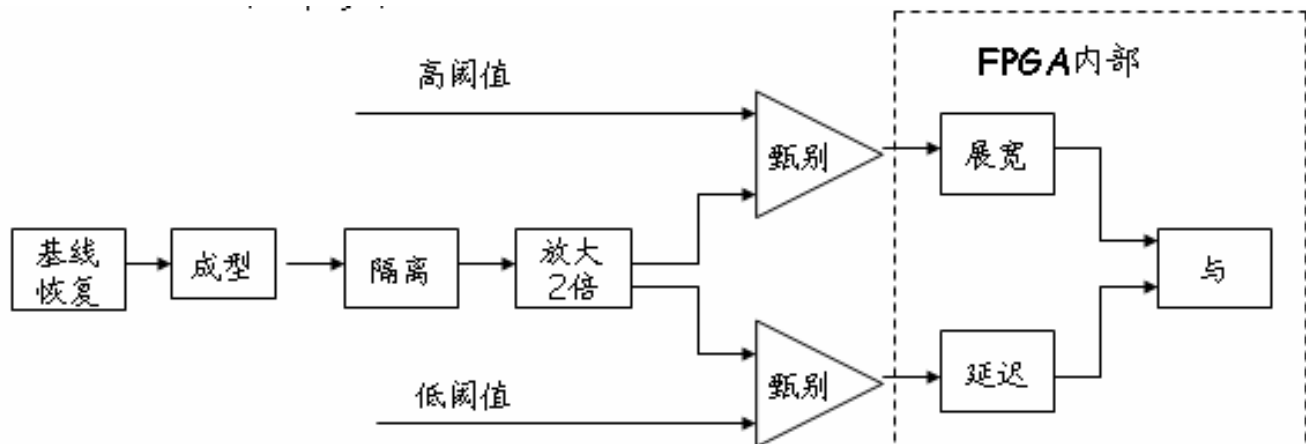


二、TCBA板版本3的改进

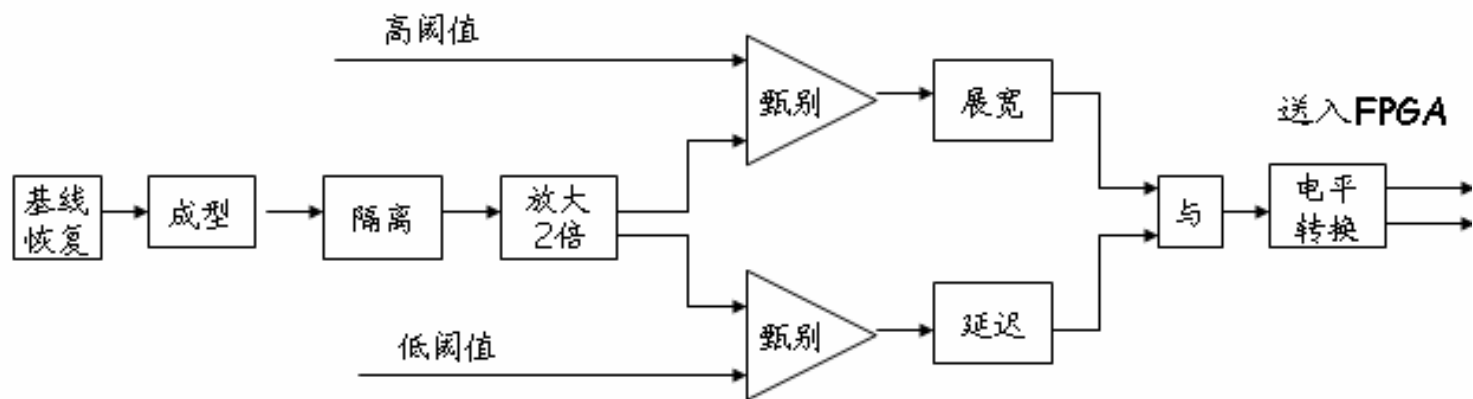
- 时间信息提取部分；
- 相加电路部分；
- 原来的SPARTAN3的FPGA部分；
- 光纤发送部分；
- 电源部分；

1、时间信息提取部分

- 原来采用前沿定时的方法，原信号基线恢复，成型后，反相放大两倍，过高阈和低阈。过阈信号的展宽和延迟以及在FPGA内部实现。

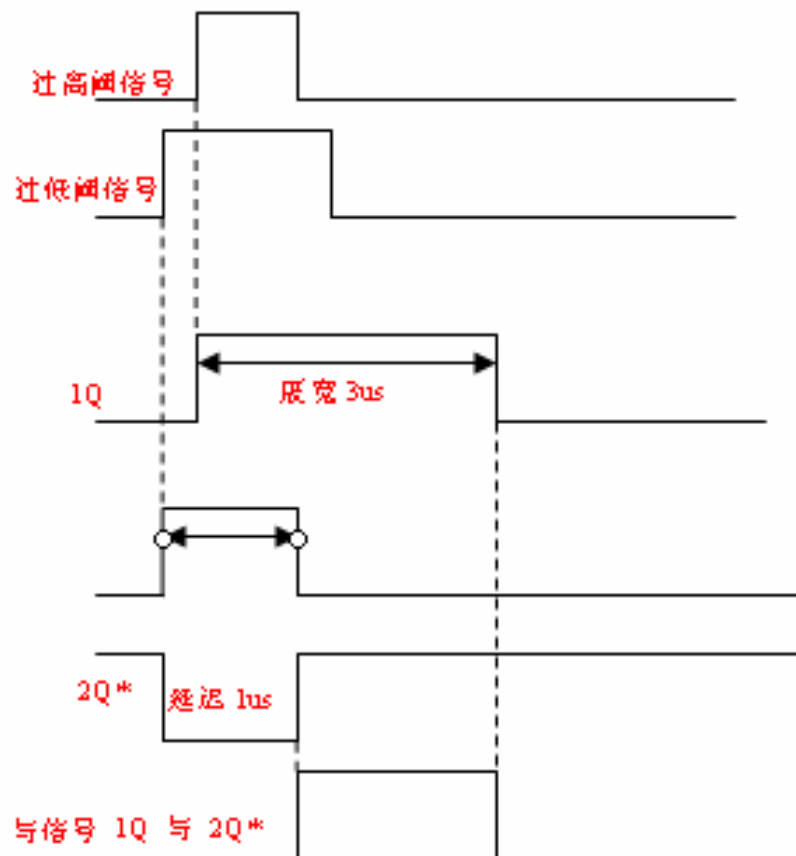
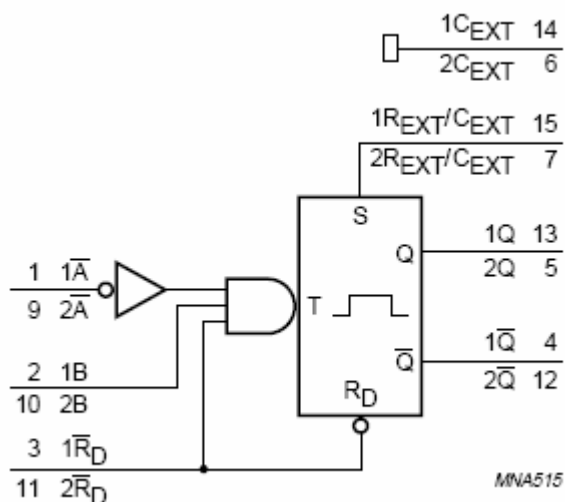


- 仍采用原来的定时方法，只是由于原甄别信号是TTL 电平，走长线可能会有串扰，所以打算用LVDS电平传送，于是为了减少长线数量，就把展宽，延迟和与放在FPGA外面做。



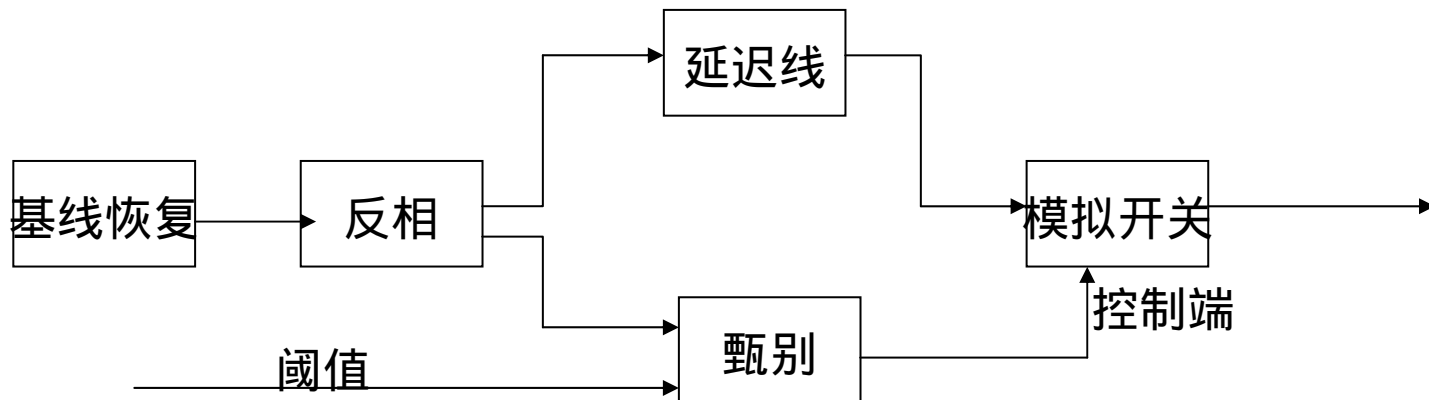
■ 用2-CHANNEL单稳来实现展宽和延迟：

- 1Q为展宽的过高阈值信号；
- 2Q*为延迟的过低阈值信号；
- 用1Q送入1A*和2A*端，来禁止重新触发；（根据前几版调试经验得出，甄别的信号后沿有毛刺，所以要禁止重新触发）



2、相加电路部分

- 原来差分信号接收后，经过基线恢复就直接送入到相加电路，这样不合理，会带入噪声信号。加入模拟开关，过阈信号才可以进入相加电路。



3、原来SPARTAN3的FPGA部分

- 原来的DISFPGA和FADCFPGA合并成一个，只是稍微修改程序，从原来两个SPARTAN3的1500变到SPARTAN3的4000系列。输入的甄别信号和输出到Virtexii Pro的信号都用差分信号。

4、光纤发送部分

- 为了进度问题以及减少光纤使用方便的考虑，由TLK1501并串转换光纤发送方式改为ROCKETIO方式，用XC2VP2接收来自SPARTAN3的差分能量和甄别信号，内部完成并串转换，并具备测试功能，可以发送测试信号。原来的两路光纤发送现在只需要一路。

后一级用徐昊的板子做通用板，16路光纤接收，接收后在FPGA中来区分能量信息和簇团信息。

5、电源部分

- 用机箱的+5V和-5V电源，由于SPARTAN3 4000系列的对1.2V电压，电流要求很大，为了避开开关电源，所以用DC-DC来实现。

PME 4118 T 3.3-V Input

6-A, 3.3-V Input Non-Isolated
Wide-Output Adjust Power Module

POLA code: PTH03050 W



NOMINAL SIZE = 0.87 in x 0.5 in
(22,1 mm x 12,57 mm)



Features

- Up to 6-A Output Current
- 3.3-V Input Voltage
- Wide-Output Voltage Adjust (0.8 V to 2.5 V)
- Efficiencies up to 94 %
- 103 W/in³ Power Density
- On/Off Inhibit
- Pre-Bias Startup
- Under-Voltage Lockout
- Operating Temp: -40 to +85 °C
- Auto-Track™ Sequencing⁽¹⁾
- Output Over-Current Protection (Non-Latching, Auto-Reset)
- IPC Lead Free 2
- Safety Agency Approvals: UL 1950, CSA 22.2 950, EN60950 VDE (Pending)
- Point-of-Load Alliance (POLA) Compatible

Note: ⁽¹⁾ Auto-Track™ is a trademark of Texas Instruments

三、TCBA的进展和调试

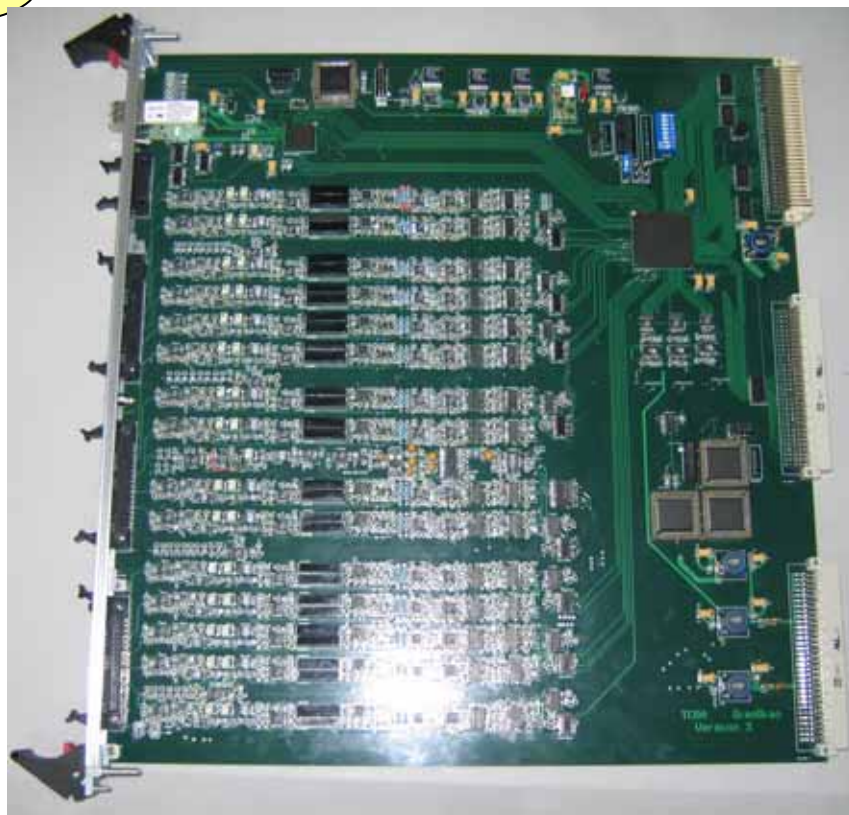
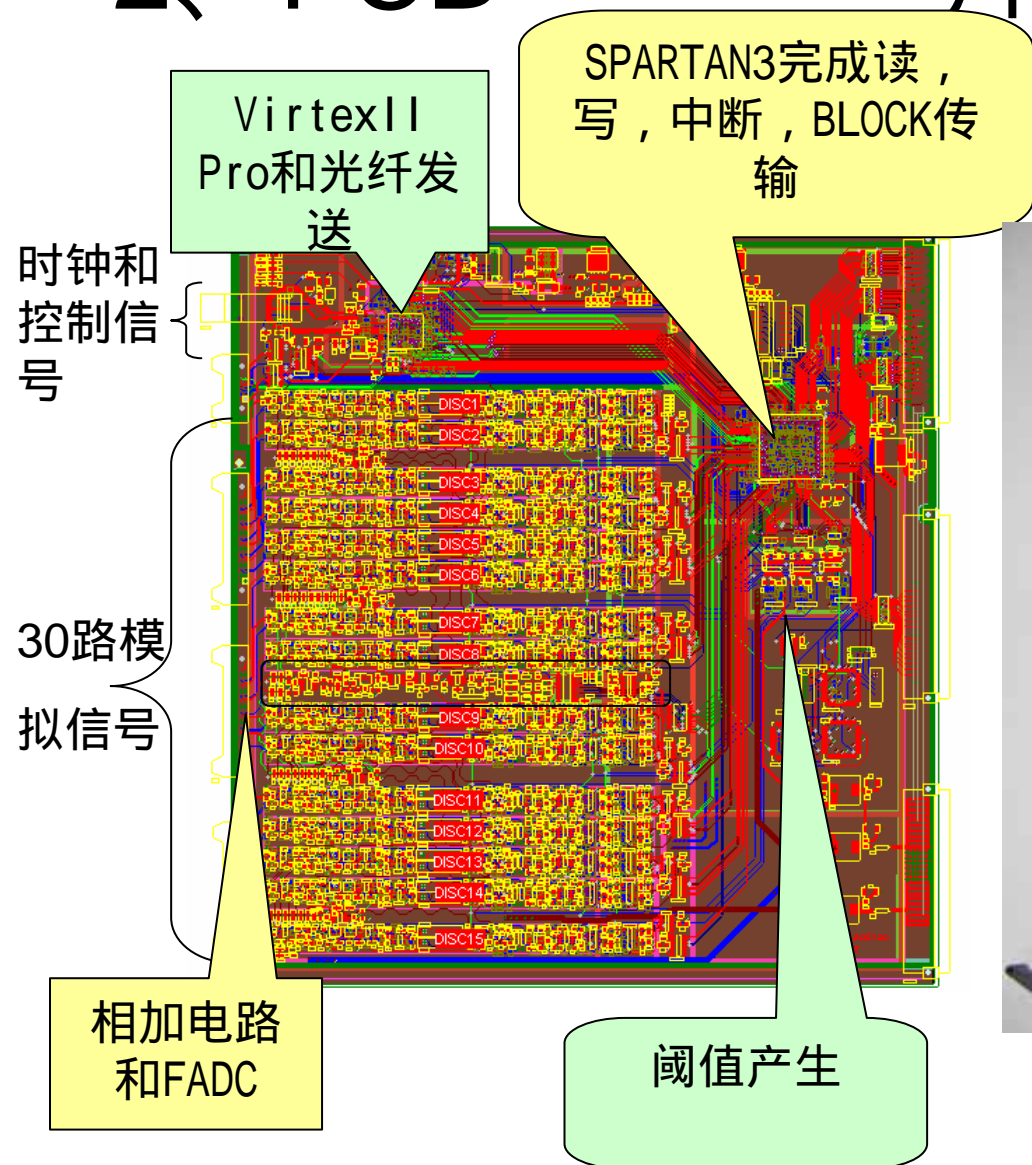
- 器件列表；
- PCB和焊接后的实物照片；
- 调试内容：
 - 各种电源（尤其是1.2v）；
 - 读，写，阈值产生；
 - 30路通道的模拟信号的调试
 - 时间信息的提取；
 - 相加电路；
 - 光纤发送测试；
 - 中断和BLOCK传输；
 - 噪声和串扰测试；
 - 与EMC电子学简单联调；
- 下一步工作安排。

1、器件列表

- 单稳：PHILIP公司的74AHC123A，因为它反应时间快；
- 与门：FAIRCHILD公司的74F08，也是因为反应快；
- 电平转换：SN65LVDS391；
- LVDS 扇出：SN65LVDS104；
- 模拟开关：MAX4645；
- 1.2V电源：ERICSSON的PME4118S.

2、PCB

焊接后的实物照片



3、调试结果

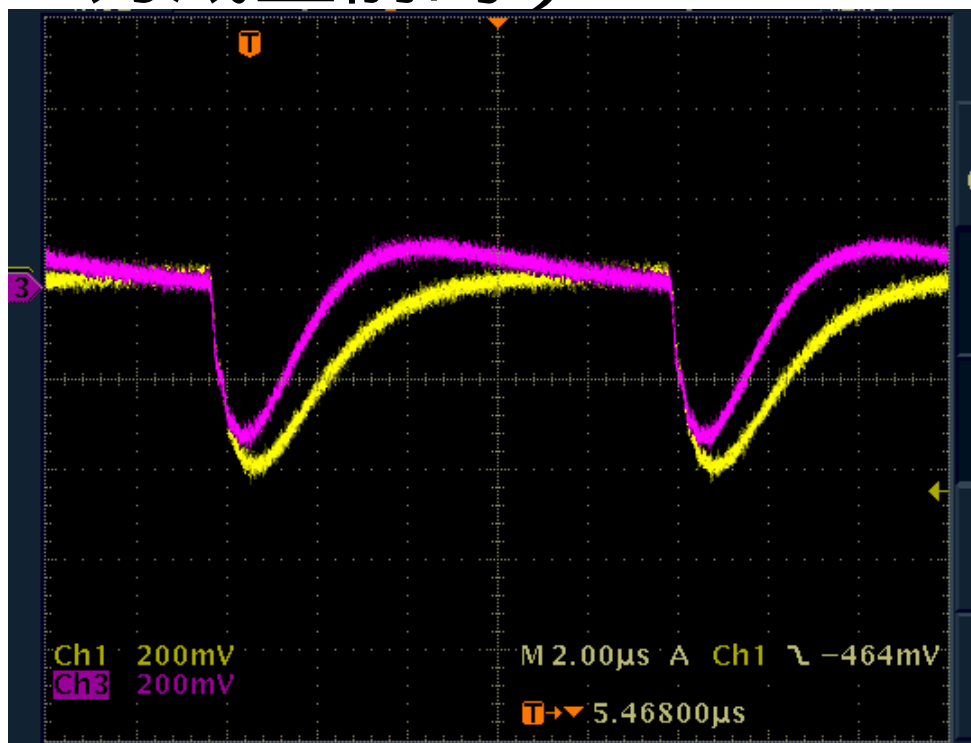
- 电源部分工作正常；
- 读、写和阈值产生；

要求：朝FPGA中写入数据，通过DAC转变成模拟阈值，并且阈值能够通过VME总线读出用于确认，需要三个阈值（高阈、低阈以及判断信号是否送入相加电路的阈值）。

结果：VME读、写工作正常，DAC也工作正常。

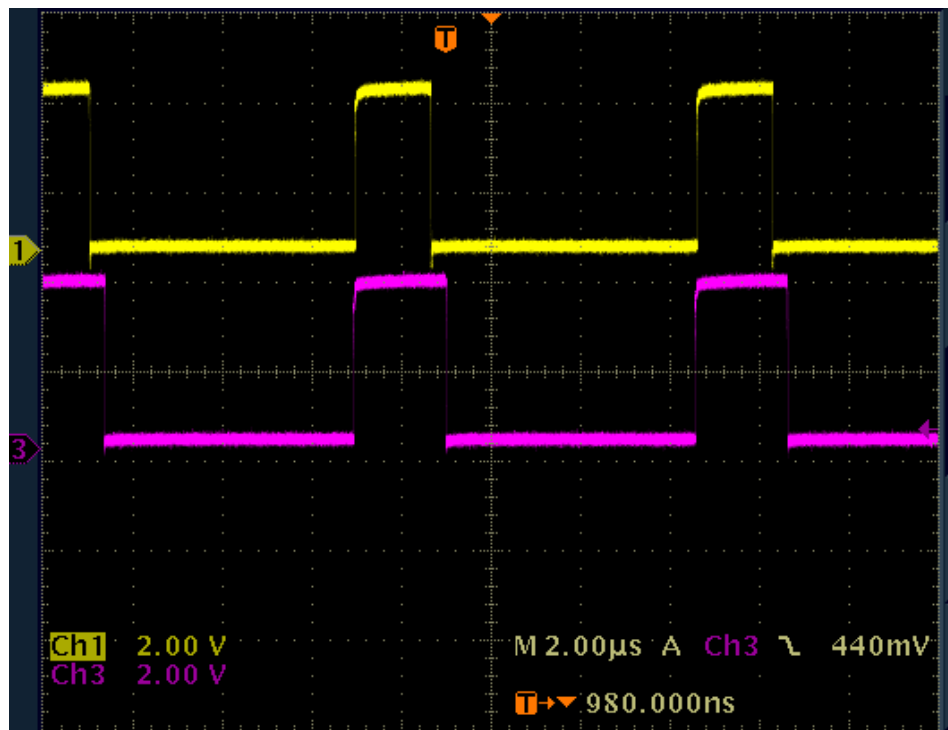
- 30路通道模拟信号的测试；
 - a)时间信息提取部分；
 - b)送入相加电路部分；

- 成型的波形图：（红色为成型后的，黄色为成型前的）

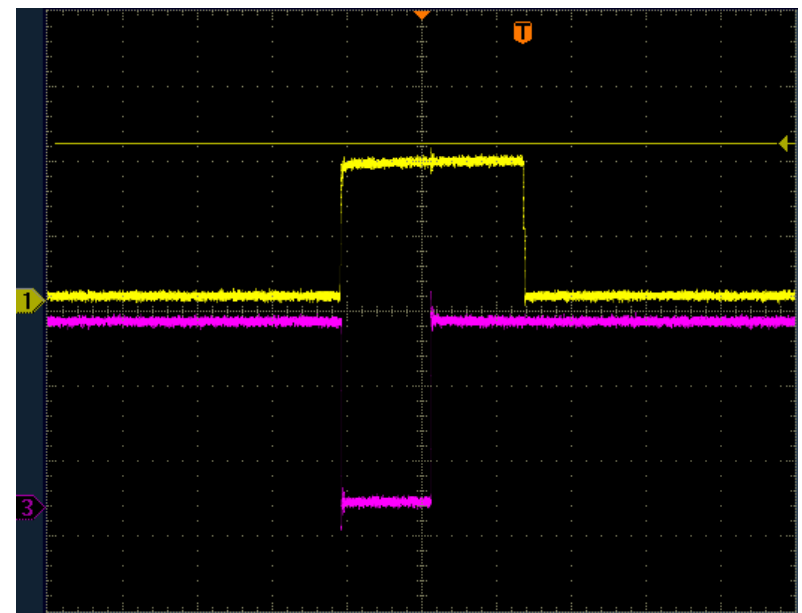
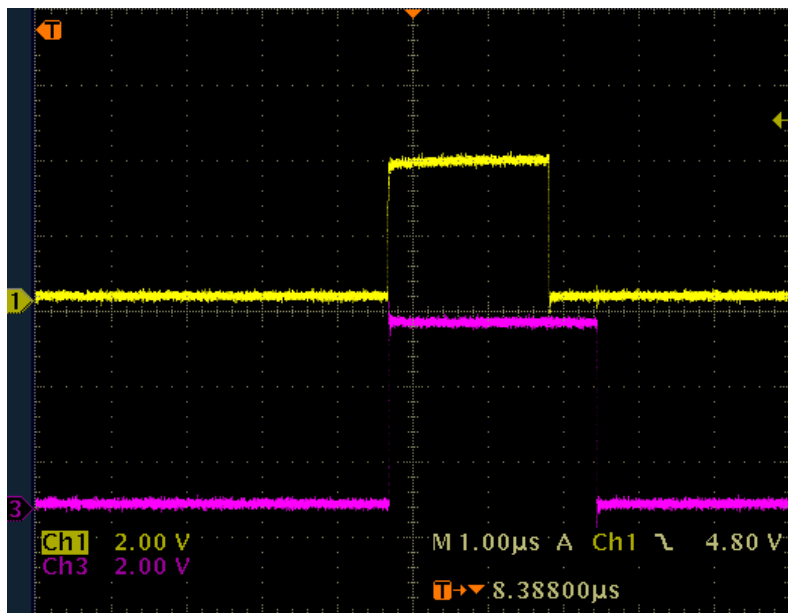


由图中可以看出，成型后的信号前沿和原信号变化不大，不会影响后面的甄别，同时后沿的过零时间在 $3\mu\text{s}$ ，满足设计要求。

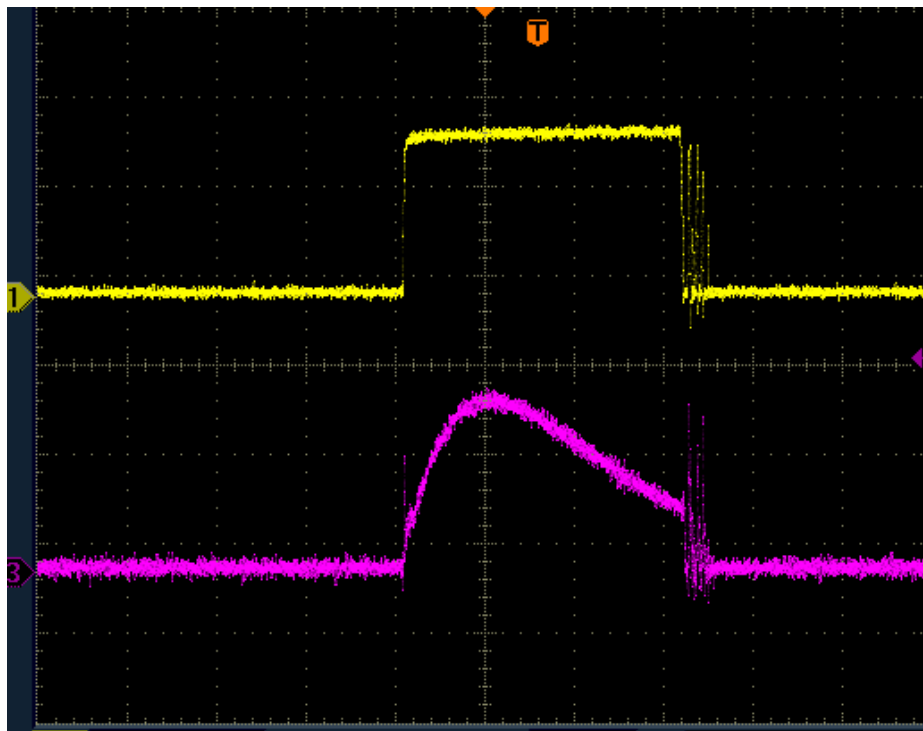
- 高低阈甄别的波形图；（黄色为过高阈的信号，红色为过低阈的信号）



- 过高阈信号的展宽波形图和过低阈信号的延迟波形图；



- 模拟开关的波形图：（黄色为控制开门的信号，红色为输出信号）



由图可以看出，使用了延迟线以后，信号的前沿基本上全部取进来，后沿的部分由于甄别器输出信号的后沿有毛刺带入了一些毛刺，在相加部分采用积分器的形式来去掉这些高频的东西。

■ 中断和BLOCK传输；

- 中断源：LOUT=30路甄别信号的或信号；
- 中断条件：12个LOUT信号申请一次中断；
- 测试方法：用TAOTAOLE程序测试；
- 结果：中断正常。
- 数据结构：中断后BLOCK方式读出12组数据，每组对应一个LOUT的数据，每组是30（数据）+1（标志位）=31个32BIT的数据，标志位从0100 0100到0C00 0C00。

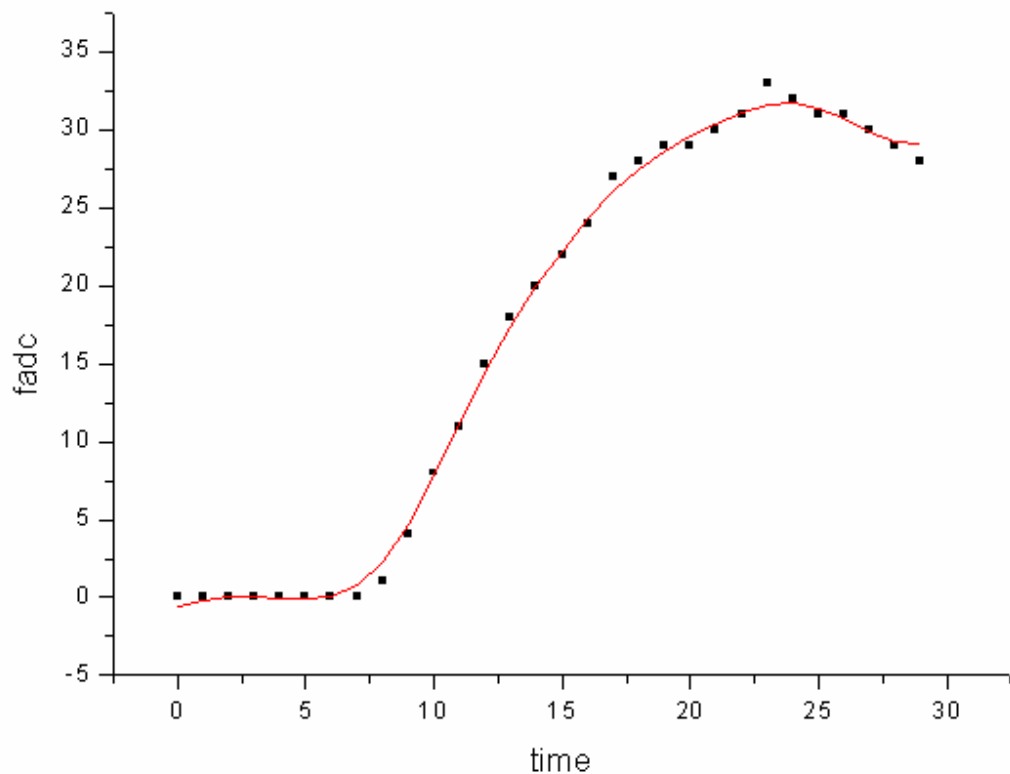
The data transferred from VME(0x0010d800) to LOCAL(0x01fedce8) is:

```
01fedce0:          01 00 01 00 00 00 00 00 *          .....*
01fedcf0: 80 00 00 00 00 00 00 00 80 00 00 00 00 00 00 *.....*
01fedd00: 80 00 00 00 00 00 00 00 80 00 00 00 00 05 00 *.....*
01fedd10: 80 00 0a 05 00 00 0d 0a 80 00 0f 0d 00 00 11 0f *.....*
01fedd20: 80 00 15 11 00 00 18 15 80 00 19 18 00 00 19 19 *.....*
01fedd30: 80 00 1b 19 00 00 1d 1b 80 00 1f 1d 00 00 1f 1f *.....*
01fedd40: 80 00 1e 1f 00 10 1e 1e 80 00 1f 1e 00 10 21 1f *.....!*
01fedd50: 80 00 20 21 00 10 1f 20 80 00 1e 1f 00 10 1f 1e *.. !... ..*
01fedd60: 80 00 20 1f 02 00 02 00 00 00 00 00 80 00 00 00 *.. .....*
01fedd70: 00 00 00 00 80 00 00 00 00 00 00 00 80 00 00 00 *.....*
01fedd80: 00 00 00 00 80 00 02 00 00 00 07 02 80 00 0c 07 *.....*
01fedd90: 00 00 0f 0c 80 00 10 0f 00 00 12 10 80 00 15 12 *.....*
01fedda0: 00 00 19 15 80 00 1a 19 00 00 1a 1a 80 00 1b 1a *.....*
01feddb0: 00 00 1d 1b 80 00 1f 1d 00 00 1f 1f 80 00 1e 1f *.....*
01feddc0: 00 10 1f 1e 80 00 20 1f 00 10 21 20 80 00 20 21 *..... ! .. !*
01feddd0: 00 10 1e 20 80 00 1e 1e 00 10 1f 1e 80 00 20 1f *.. .....*
01fedde0: 03 00 03 00 00 00 00 00 80 00 00 00 00 00 00 *.....*
01feddf0: 80 00 00 00 00 00 00 00 80 00 00 00 00 00 00 *.....*
01fede00: 80 00 02 00 00 00 05 02 80 00 08 05 00 00 0c 08 *.....*
01fede10: 80 00 0f 0c 00 00 13 0f 80 00 15 13 00 00 16 15 *.....*
01fede20: 80 00 18 16 00 00 19 18 80 00 1c 19 00 00 1e 1c *.....*
01fede30: 80 00 1e 1e 00 00 1e 1e 80 00 1e 1e 00 10 1f 1e *.....*
01fede40: 80 00 20 1f 00 10 20 20 80 00 1f 20 00 10 1f 1f *.. ... ..*
01fede50: 80 00 1f 1f 00 10 1f 1f 80 00 1f 1f 04 00 04 00 *.....*
```

甄别数据，看出第5路有信号过阈

能量的数据，20M时钟提取的能量数据，所以用40M送出，每个数据都重复一次，接收后丢掉一个即可。

- BLOCK传输读出的数据恢复出来的FADC的输入波形图；



■ 噪声和串扰测试：

用过阈的方法来测量，不给输入信号，看阈值放到多低时会出现误触发。

由王大勇的模拟实验得出甄别的低阈80Mev，按照EMC电子学给出的 $1.6V/2Gev$ 来估计，应该是64mv左右，本板是信号放大两倍后过阈，所以这个阈值就等效到130~150mv（估计）。

a) 噪声测试：

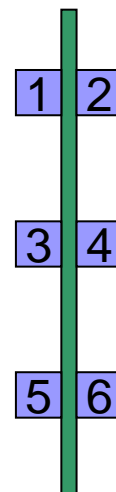
阈值 测试条件	写01时 (即 20mv)	写02时 (即 40mv)	写03时 (即 60mv)
不加外界输入 信号线	过阈	不过阈	不过阈
加外界输入信 号线，不给输 入信号	过阈	过阈	不过阈
加外界输入信 号线，不给输 入信号，加上 地线	过阈	过阈	不过阈

从上面三个结果可以看出，实验的结果说明噪声的水平远低于我们的低阈，不需要担心噪声带入的误触发。

b) 串扰测试：

■ 路与路之间的串扰做了四种测试：

- 给1路满幅度信号，看背面的2路信号；
- 给1路满幅度信号，看下方的3路信号；
- 给1路和3路满幅度信号，看2路的情况；
- 给1路和5路满幅度信号，看3路的情况；

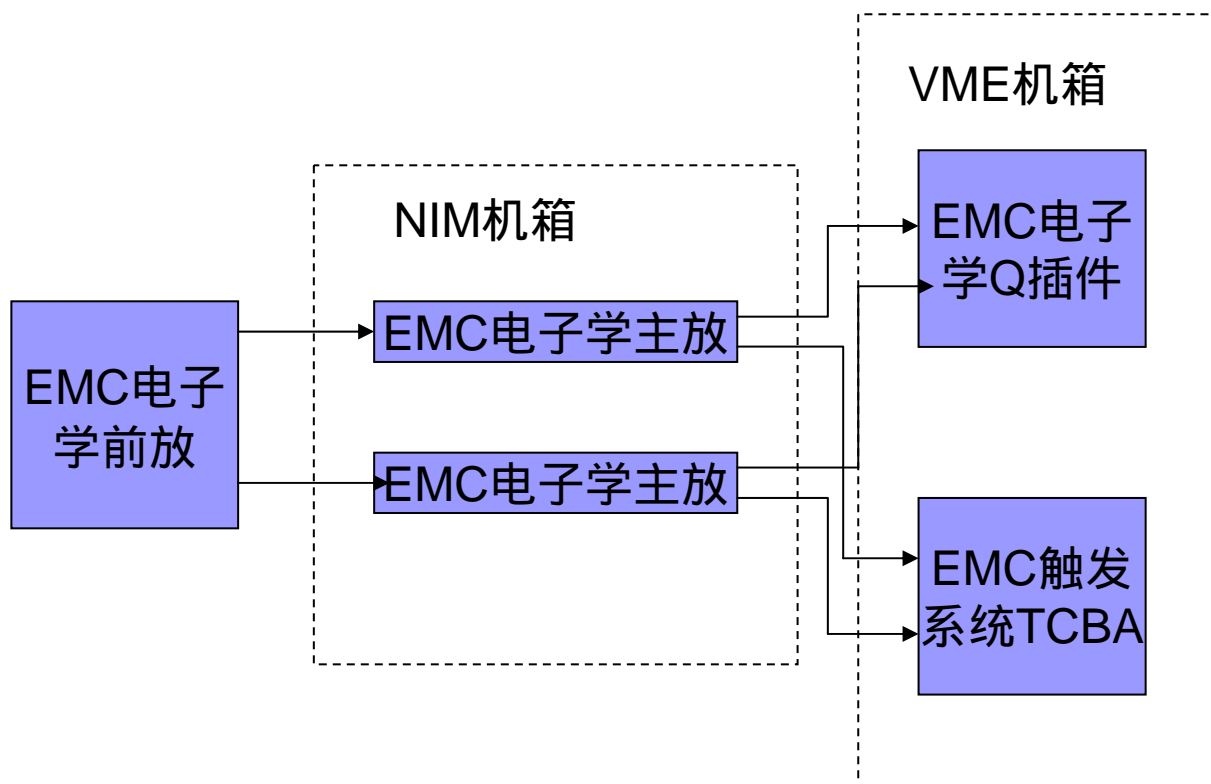


测试的结果和上面基本的噪声测试的结果相同，即用这种实验方法看不到模拟信号路与路之间的串扰。

■ 光纤的串扰：

- 光纤在开关两种状态下，测最近两路的噪声情况，基本没有变化，即用这种实验方法看不到光纤的串扰。

■ 与EMC电子学简单联调



- TCBA板对电子学的影响：从噪声水平的值来看，加TCBA之前和之后均是2，即没有什么影响；
- 电子学对TCBA板的影响：仍用前面的阈值的方法，和实验室内测时外加信号线但是不给输入信号的水平相同，即没有什么影响；
- 功率在15~20W之间；
- 控制信号接口正确，输入差分信号正负定义相反，需要在在做信号线的时候翻转一下正负。

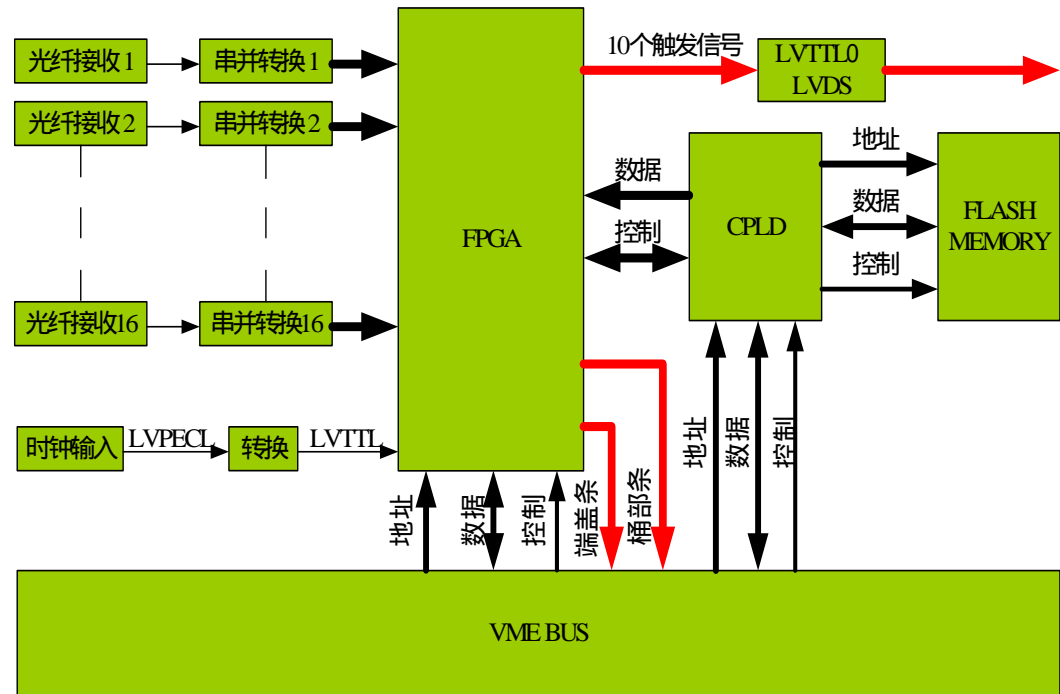
4、下一步安排：

- 进一步的噪声和串扰测试；
- 与电子学小系统联调，模拟较实际的运行环境；
- 确定最终版本，批量。

四、CSUM部分的逻辑功能调试

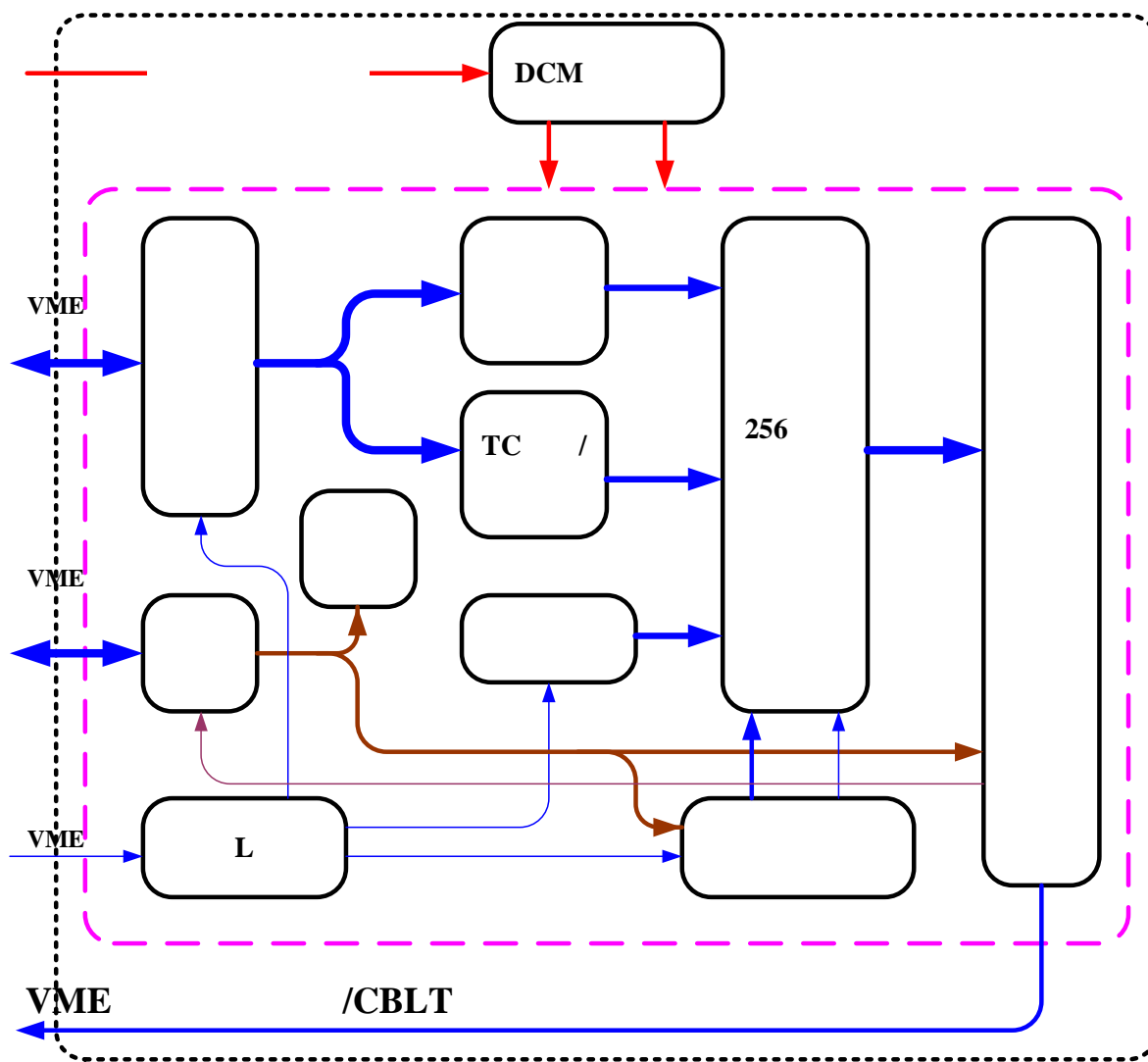
现在CSUM板的框图：
(如右图)

- 逻辑功能调试工作完成；
- FPGA的在线下载也调试完成，并做成规范，组内正在广泛使用；
- 完成部分测试工作，正在准备在线的测试程序，以便进行更完整的测试。



- FPGA内部程序功能框图；
- 测试方案设计；
- 模拟数据结构及模拟过程；
- 数据模拟及结果；
 - $N \geq 1$
 - $N \geq 2$
 - $N \geq 1$ 及 $N \geq 2$

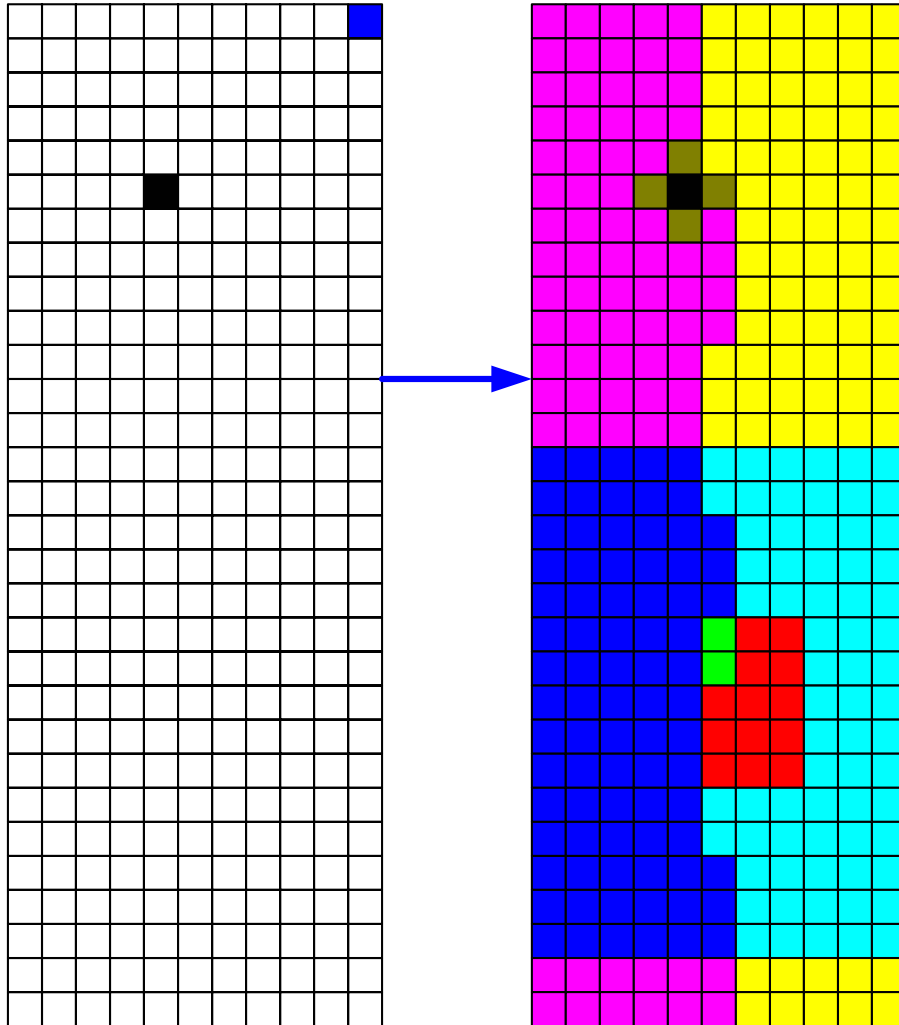
1、程序功能框图



外部

- 控制字寄存器部分包括：
CSR1 , CSR2 , 数据宽度、返回深度等寄存器等
- 其它控制输出部分包括：
CBLT输出使能 , MCST响应使能 ,
IACKOUT/BERRROUT等

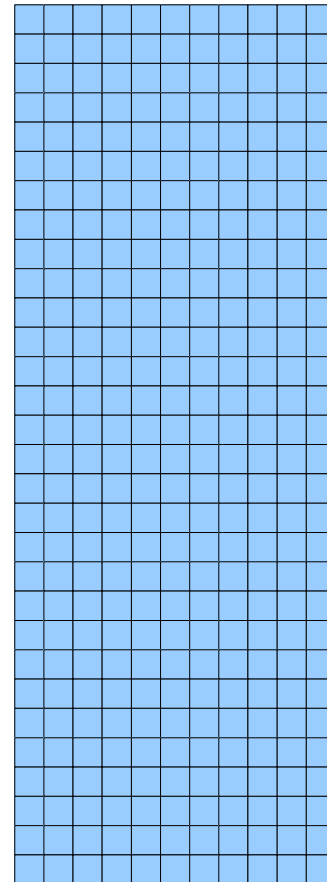
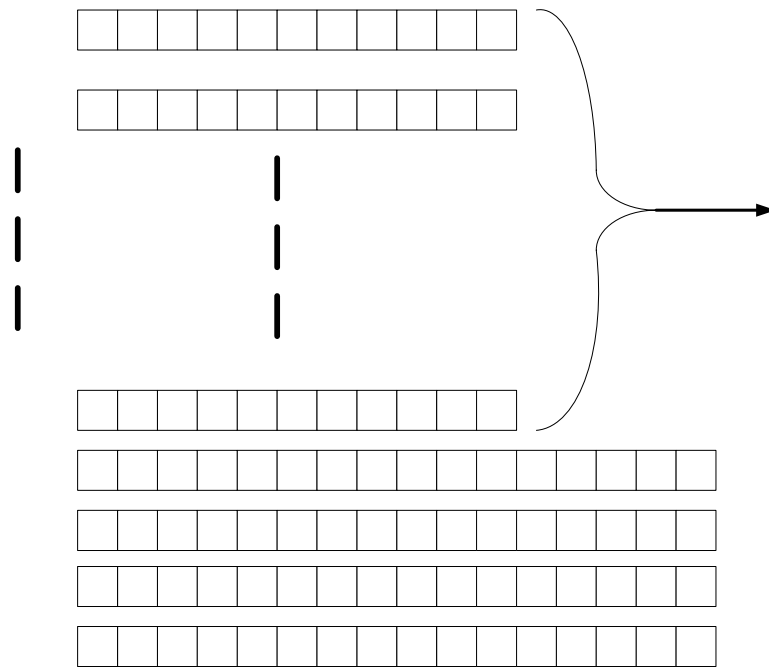
2、测试方案设计



模拟产生一个数据表写入到FPGA中（相当于输入数据），经过内部的逻辑处理后，通过CBLT方式读出，从读出的结果中可以看到写入的模拟数据表和得到的触发条件。模拟表中击中单元在不同的位置，结果就会产生不同的触发条件，把这些结果恢复成带色彩的数据表，可以直观的看出来和预期的结果是否相同。

3、输入测试数据结构及模拟过程

■ A)输入测试数据结构：



■ B)模拟过程：

- 由VME总线把模拟数据写入到相应寄存器中；
- 由VME总线写入命令，模拟产生L1，延迟固定时间后，将数据表的数据以一定规律同时送出；
- 由模拟产生的L1控制产生地址及时钟，将“256深度缓冲器”中相应数据写入到输出存储器中，将输出存储器中数据读出验证。

■ C)输出数据的拼组、数据存储及CBLT数据输出结构：

□ 数据拼组：

桶部TC，每两条数据（ $2 * 11\text{bit}$ ）拼成一个24bit的数据（其中两位补“0”），按照我们定义的CBLT数据格式，高8位为0，低24位存储该24bit数据信息。依次得出桶部可以拼出 $15 * 32\text{bit}$ 的信息。

端盖TC，共有 $32 * 2\text{bit} = 64\text{bit}$ 信息，再加上CSUM触发条件信息8bit，共计 $64\text{bit} + 8\text{bit} = 72\text{bit}$ 。按CBLT数据格式，需占用3个CBLT数据位（ $24 * 3 = 72\text{bit}$ ）。因此端盖可以拼出 $3 * 32\text{bit}$ 的信息。

另外，由触发号地理地址信息组成的字头为 $1 * 32\text{bit}$ 数据。

CBLT读出时，为 $15 + 3 + 1 = 19$ 即 $19 * 32\text{bit}$

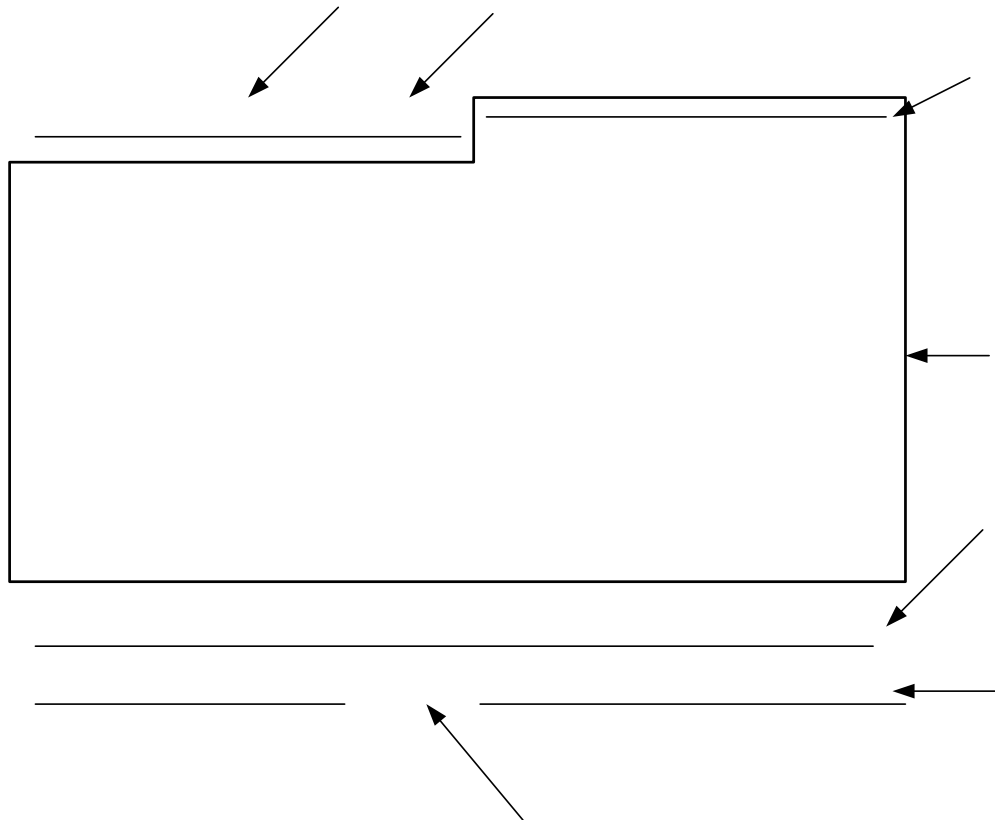
附：我这里读出数据为： $(19 * 32) * 64\text{bit}$ 。



■ 数据存储：

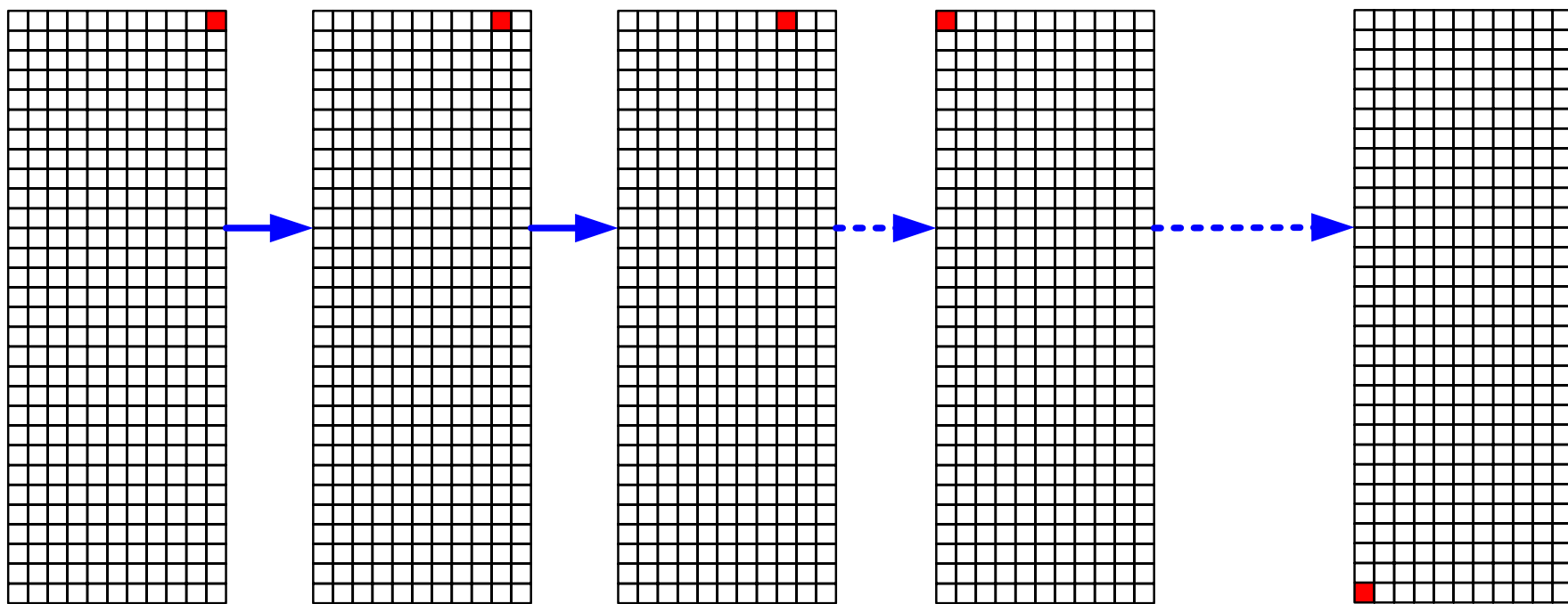
在数据输出存储器中，数据存储是用了64个19*32bit的RAM存储的。

■ 由CBLT读出的数据结构：（如下图所示）

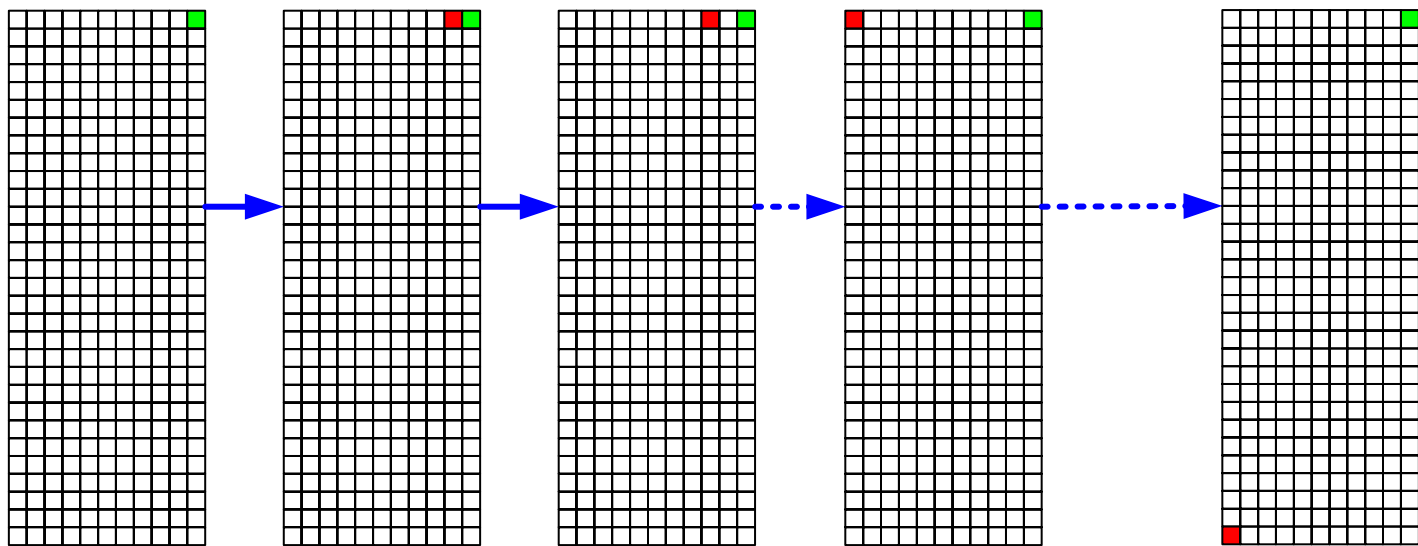


4、数据模拟及结果

■ A) $N \geq 1$ 模拟:



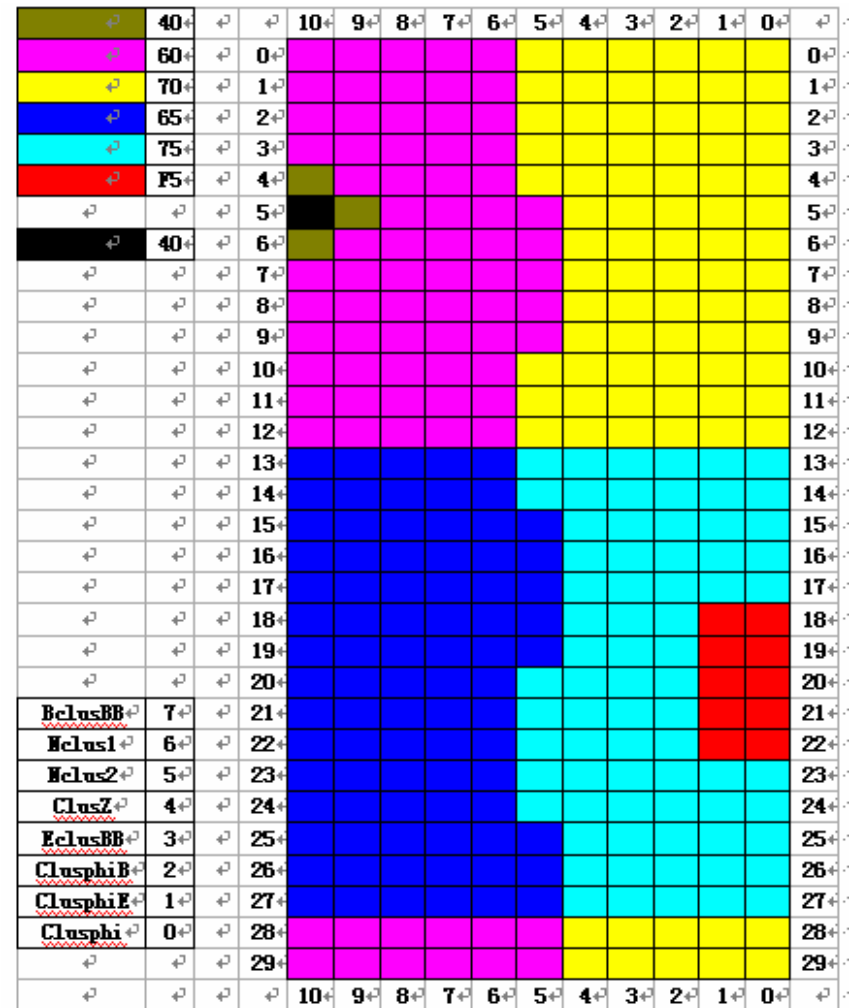
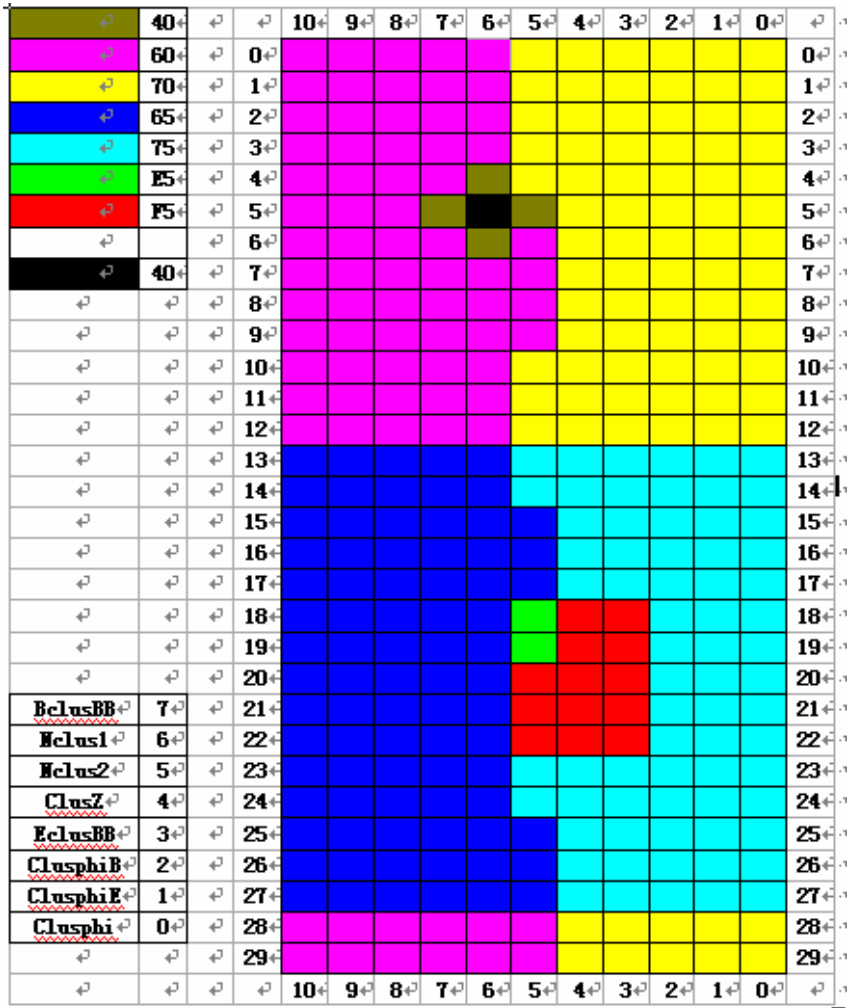
■ B) $N \geq 2$ 模拟



- 送出329个数据表进行测试，最右上角TC单元固定不动保持为“1”，其它单元轮流为“1”。测试输出结果输出位置及触发条件信息。

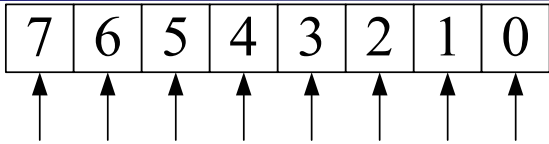
	40	39	38	10	9	8	7	6	5	4	3	2	1	0	
	40														
	60		0												0
	70		1												1
	65		2												2
	75		3												3
	F5		4												4
			5												5
	40		6												6
			7												7
			8												8
			9												9
			10												10
			11												11
			12												12
			13												13
			14												14
			15												15
			16												16
			17												17
			18												18
			19												19
			20												20
			21												21
<u>BclusBB</u>	7		22												22
<u>Nclus1</u>	6		23												23
<u>Nclus2</u>	5		24												24
<u>ClusZ</u>	4		25												25
<u>EclusBB</u>	3		26												26
<u>ClusphiB</u>	2		27												27
<u>ClusphiF</u>	1		28												28
<u>Clusphi</u>	0		29												29
			10	9	8	7	6	5	4	3	2	1	0		

- 40 : (01000000) 即有Nclus1 ;
- 60: (01100000) 即有Nclus2+Nclus1 ;
- 70 : (01110000)
即有Nclus2+Nclus1+ClusZ ;
- 65: (01100101)
即有Nclus2+Nclus1+ClusPHI
+ClusphiB ;
- 75: (01110101)
即有Nclus2+Nclus1+ClusZ+ClusPHI
+ClusphiB ;
- F5 : (11110101)
即有Nclus2+Nclus1+ClusZ+ClusPHI
+ClusphiB +BclusBB;
- E5: (11100101)
即有Nclus2+Nclus1+ClusPHI
+ClusphiB +BclusBB;

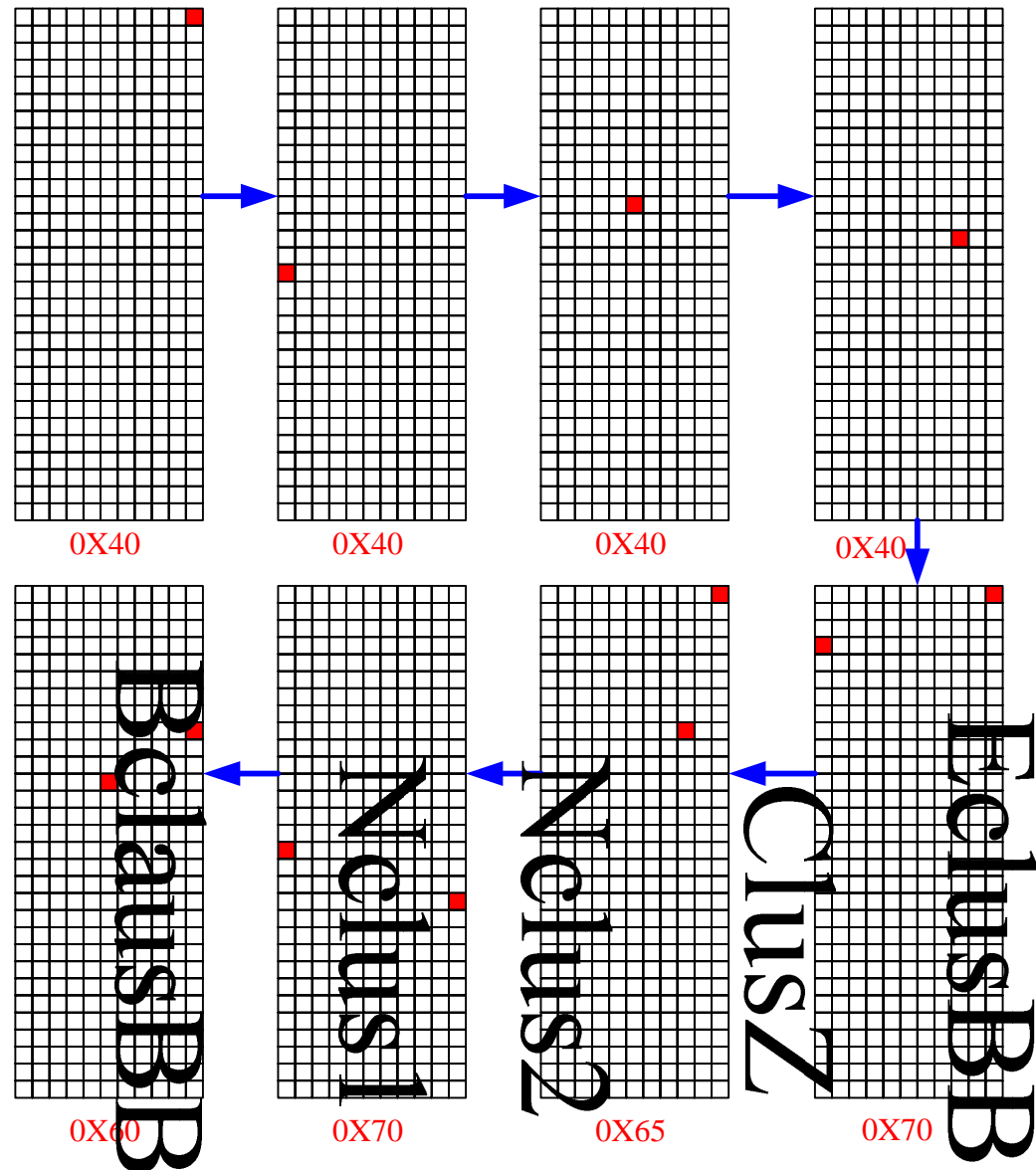


	40+			10+	9+	8+	7+	6+	5+	4+	3+	2+	1+	0+	
	40+														
	60+	0+													0+
	70+	1+													1+
	65+	2+													2+
	75+	3+													3+
	25+	4+													4+
	25+	5+													5+
		6+													6+
	40+	7+													7+
		8+													8+
		9+													9+
		10+													10+
		11+													11+
		12+													12+
		13+													13+
		14+													14+
		15+													15+
		16+													16+
		17+													17+
		18+													18+
		19+													19+
		20+													20+
<u>BelusBB</u>	7+	21+													21+
<u>Belus1</u>	6+	22+													22+
<u>Belus2</u>	5+	23+													23+
<u>ClusZ</u>	4+	24+													24+
<u>EclusBB</u>	3+	25+													25+
<u>ClusphiB</u>	2+	26+													26+
<u>ClusphiE</u>	1+	27+													27+
<u>Clusphi</u>	0+	28+													28+
		29+													29+
	40+			10+	9+	8+	7+	6+	5+	4+	3+	2+	1+	0+	

	40+			10+	9+	8+	7+	6+	5+	4+	3+	2+	1+	0+	
	40+														
	60+	0+													0+
	70+	1+													1+
	65+	2+													2+
	75+	3+													3+
	25+	4+													4+
		5+													5+
	40+	6+													6+
		7+													7+
		8+													8+
		9+													9+
		10+													10+
		11+													11+
		12+													12+
		13+													13+
		14+													14+
		15+													15+
		16+													16+
		17+													17+
		18+													18+
		19+													19+
		20+													20+
<u>BelusBB</u>	7+	21+													21+
<u>Belus1</u>	6+	22+													22+
<u>Belus2</u>	5+	23+													23+
<u>ClusZ</u>	4+	24+													24+
<u>EclusBB</u>	3+	25+													25+
<u>ClusphiB</u>	2+	26+													26+
<u>ClusphiE</u>	1+	27+													27+
<u>Clusphi</u>	0+	28+													28+
		29+													29+
	40+			10+	9+	8+	7+	6+	5+	4+	3+	2+	1+	0+	



- C)数据晃动模拟:
 - 由于TCBA板送出的时间信息的晃动在200ns以内,各路信号“或”出的 $N \geq 1$ 和“与”出的 $N \geq 2$ 之间也就可能存在200ns的晃动。



- 模拟测试的结果说明逻辑功能正确，但是由于手动产生数据表，工作量很大，所以不能进行完整的测试，所以目前魏书军正在写在线测试程序，进行进一步测试。

谢谢!