

触发系统工作进展

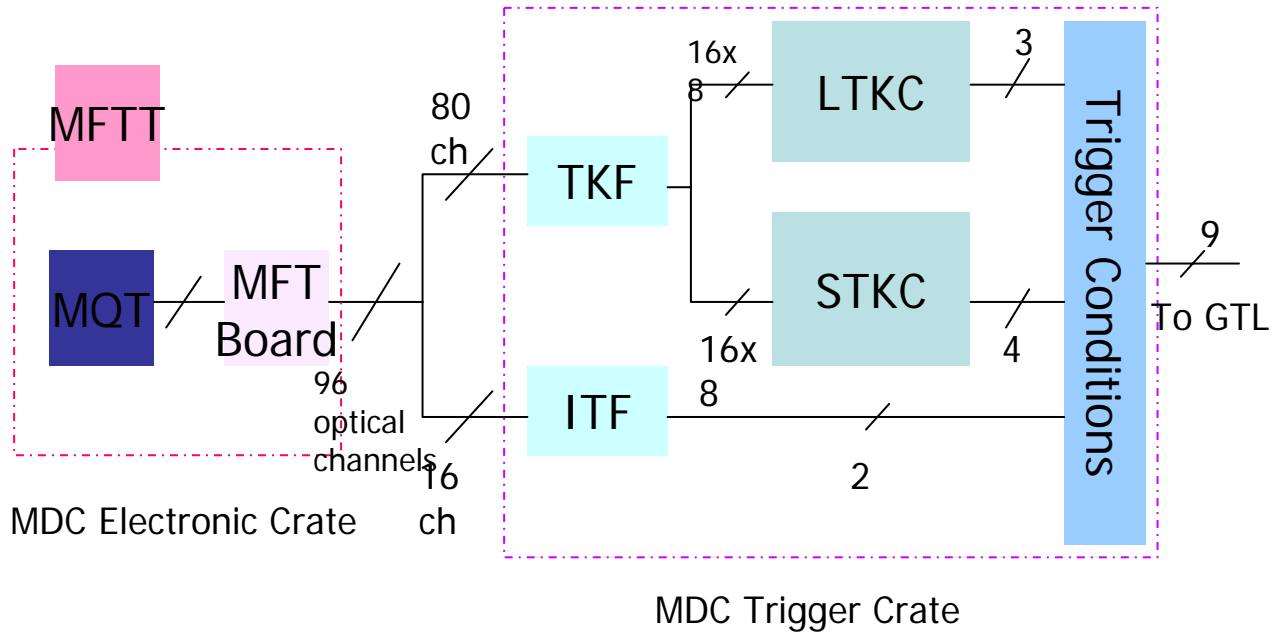
进展
问题与困难
近期计划

刘振安

触发组

科大，2006年4月26日

MDC 子触发系统



MDC 子触发系统

- MFT板 (见卢云鹏报告)
 - 春节后完成了正式板的设计与调试, 功能符合设计要求。
 - 与MDC的MQT板进行了联合测试, 进行了互联信号检测, 全部正常
 - 进行了单板MFT对MQT板的噪音影响检验, 结果没有明显影响
 - 复制了14个,
 - 检验单机箱内(6个) MFT高速传输 (1.7G) 对MQT插件性能的影响, 结论影响可以忽略。
 - T测量: 噪声阈40/45 ->55, 对应输入端18uV, 增加3uV
 - Q测量: 谱的变化在统计误差范围之内
 - 建立MDC子触发1/8小系统
 - 下一步准备验证CSUM板和ETOT板的功能

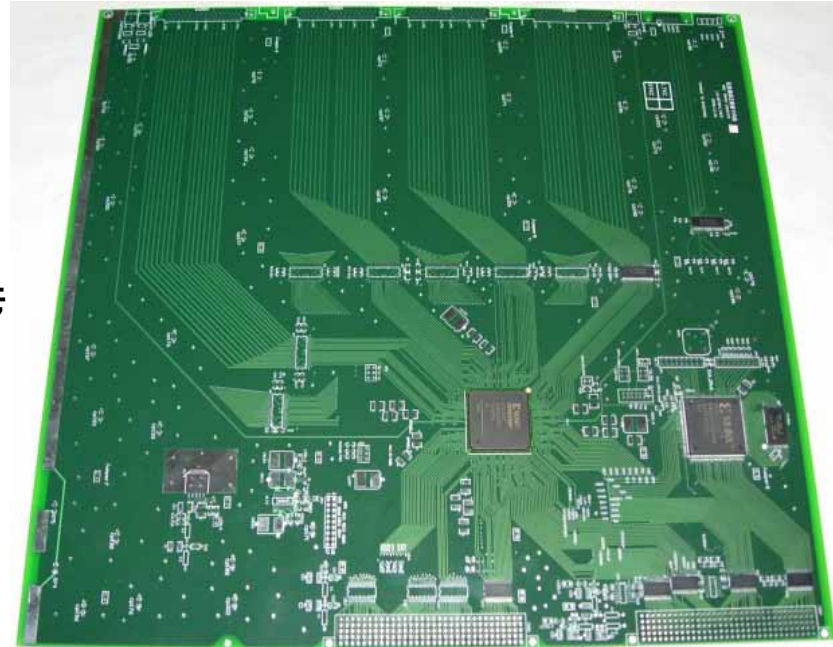


MDC 子触发系统

- TKF 第二板
 - 优化第一板的设计
 - 增加输入光纤收发器的个数，多功能：
 - TKF板
 - CSUM板
 - ETOT板
 - 目前状态
 - 3月中旬完成了PCB设计（写论文）
 - 近期进行最后检验，交厂制板

MDC 子触发系统

- TKC板
 - 完成了调试
 - 电源
 - 时钟
 - VME在线加载和JTAG加载
 - 检测数据、在线数据的VME普通读写
 - 检测数据、在线数据的CBLT传输
 - MCST
 - 计数、输出触发条件
 - 输出配对信息
 - 输入/输出电平转换
 - 准备与TKF板进行联调：
 - 实际检测输入信号
 - 多板CBLT传输

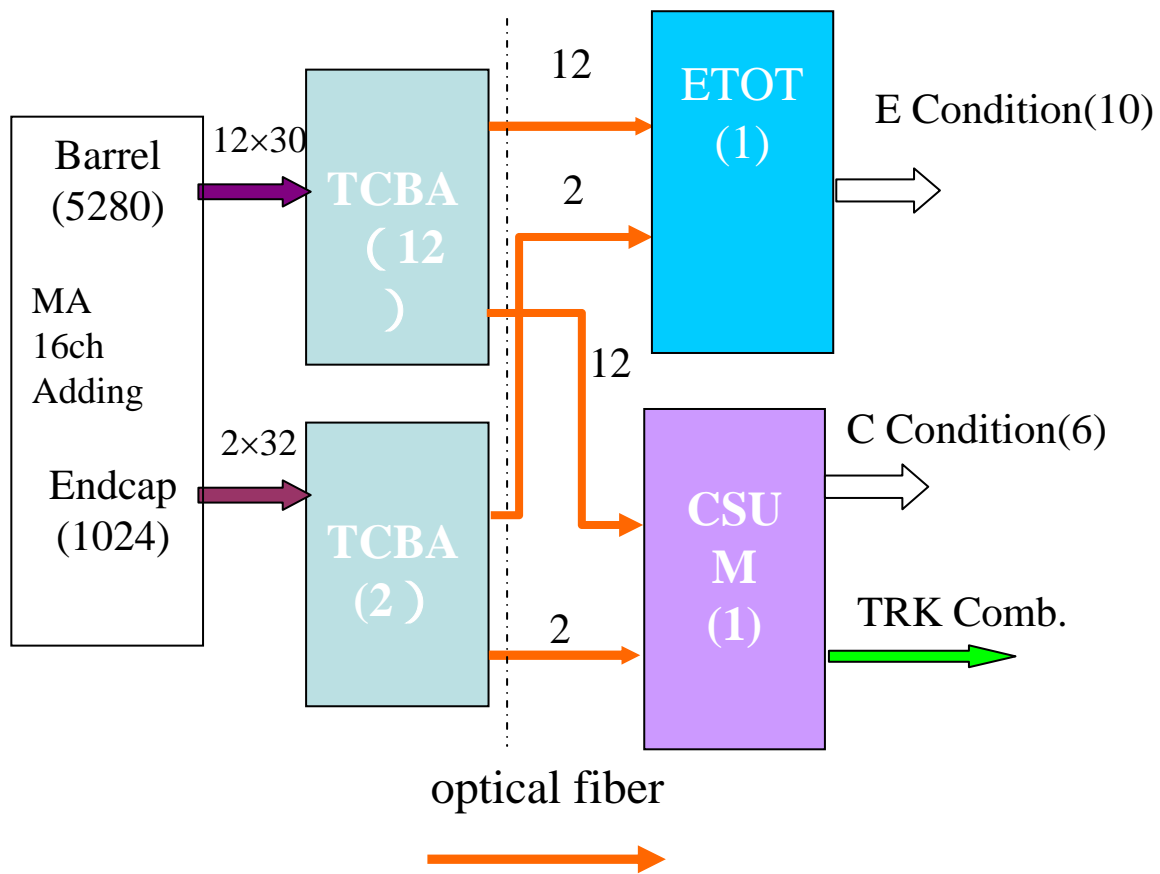


MDC 子触发系统

- 1/8 小系统 (见卢云鹏报告)
 - 构成
 - PPC+FCSF(1)+TROC(1)
 - MFTT (10) + fiber
 - MFT(10)
 - TKF (1)
 - TKC (1)
 - 测试内容
 - 长期稳定性
 - 信号的对齐
 - TSF 和 TF 的验证
 - MDC 触发结果

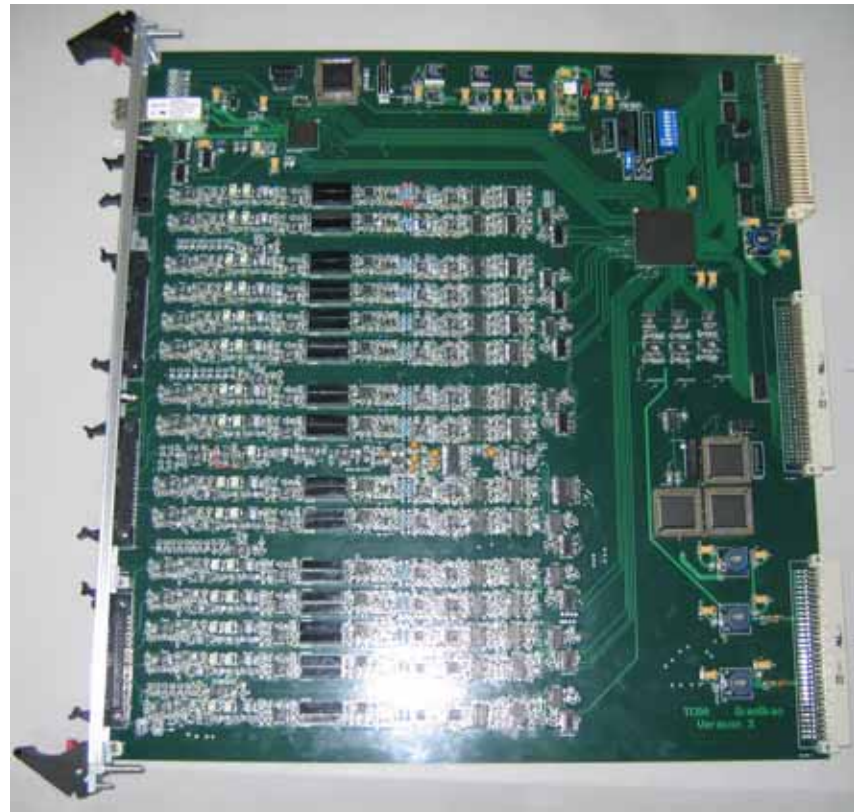


EMC 子系统



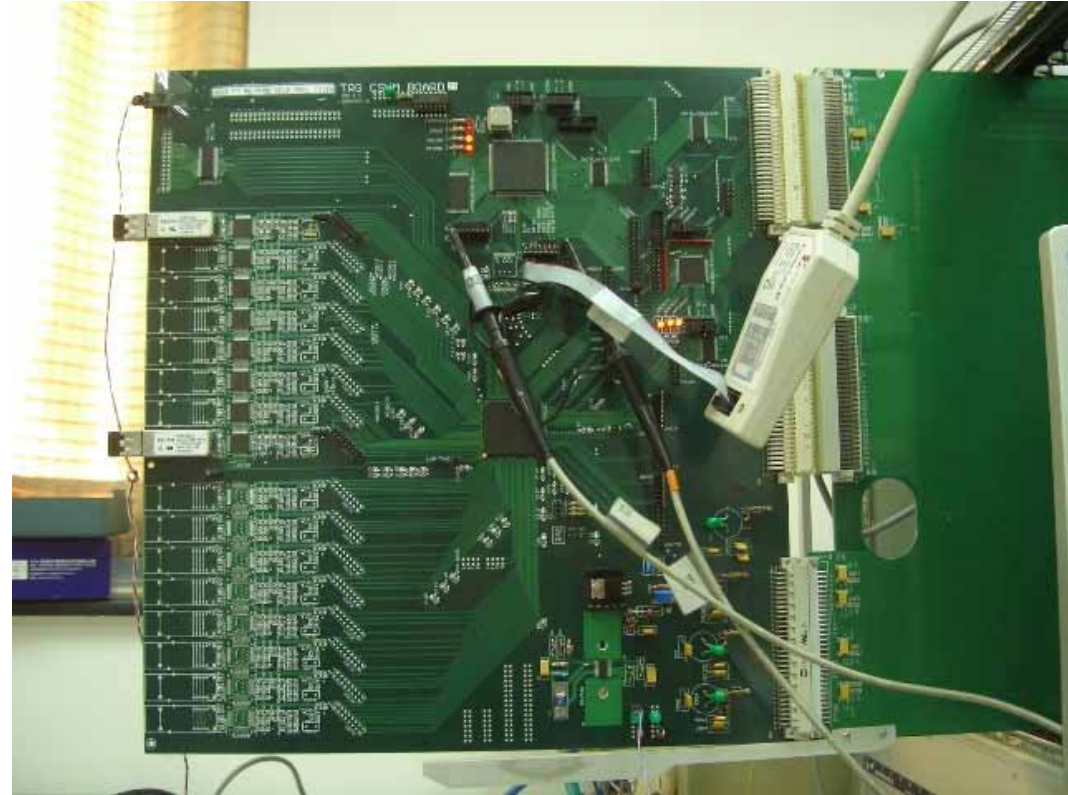
EMC子系统

- TCBA板（见乔巧报告）
 - 调试内容：
 - 读、写和阈值产生；
 - 30路通道模拟信号的测试；
 - 并串转换及光纤发送部分的测试
(VirtexIIPro/RocketIO)
 - 中断和BLOCK传输
 - 噪声和串扰测试
 - 与EMC电子学初步联调
 - TCBA板与电子学的影响：可以忽略
 - 功率在15~20W之间
 - 控制信号接口正确



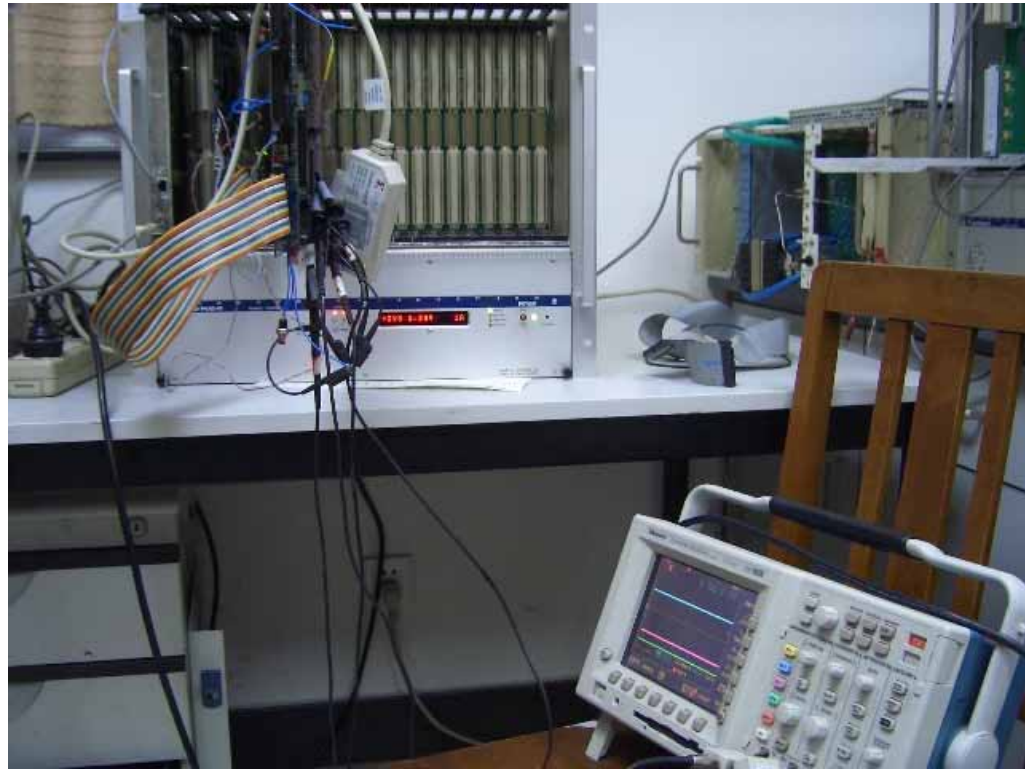
EMC子系统

- CSUM（见乔巧报告）
 - 调试：
 - 光纤单路调试
 - 内部逻辑
 - VME数据读出
 - FPGA VME在线下载
 - 采用TKF第二板
- ETOT
 - 也采用TKF
 - 还没开始



GLT 总触发 (见金大鹏报告)

- 调试基本完成，基本正常
 - 触发表判选逻辑初步测试
 - L1*定时测试
 - 死时间测试
 - L1*控制写和CBLT读出测试
- 带来科大与TOF触发子系统接口测试



时钟扇出

- 输入：科大时钟系统
- 扇出：
 - MDC (要求最高)
 - EMC
 - MU
 - TRIG



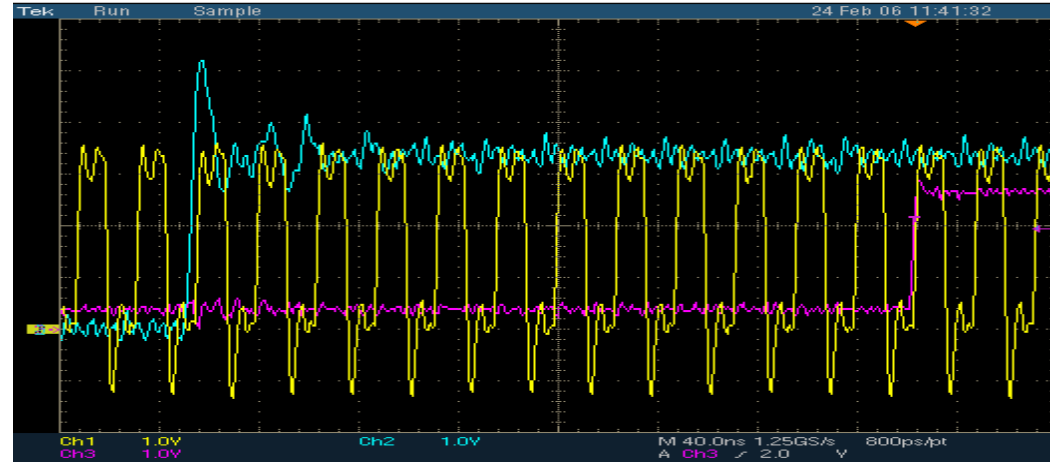
- 扇出板时钟抖动
 - RMS =7.807ps
 - P—P jitter=50ps (24.04 - 23.99ns)
- 时钟接收板恢复的时钟
 - RMS =22.68ps
 - P—P jitter=140ps (24.05 - 23.91ns)
- 抖动增加：
 - 21.29ps
- 影响：
 - MDC T 测量：系统加 PLL，可以接受。
 - 触发RocketIO：板上高精度时钟
- 未来准确测量：
 - 高精度时钟
 - 长时间稳定性

快控制传输改进试验

- 国际评审时专家对TLK1501的适用性提出质疑。
- 措施：
 - 采用**Agilent HDMP-1032A/1034A** 设计了子板
 - 缺点：它们体积比TI的TLK1501大（而且是两片），每一片的功耗也大于TLK1501（700mW，最好加散热片），
 - 优点：最大的好处是整个线路一旦固定，传输延迟时间也固定了，而不会像后者会出现晃动。
 - 采用CIMT（Conditional Inversion Master Transition protocol）编码方式传输16位数据，具有DC平衡与错误校验功能，适用于光纤传输。
- 测试结果：
 - 传输的延迟时间无晃动。
- 它有两种传输模式：

a. 普通模式

- 线路延迟典型值为4.0 (Clock Cycles) +2.0ns (仅芯片本身)。
- 图a,b显示了重新上电，重新同步后一条1032A/1034A传输链路的延迟变化情况，黄色线是1032A与1034A的参考时钟TXCLK和REFCLK输入，蓝色线为发送数据端TX[13]，红色线为接受数据端RX[13]。传输延迟时间Latency定义为从TX[13]变高后下一个时钟上升沿开始到RX[13]变高为止。可以看出，线路传输延迟时间Latency没有变化，大致为287.2ns (40m光纤)。



a. 第一次上电，同步，数据从“0”变为“1”



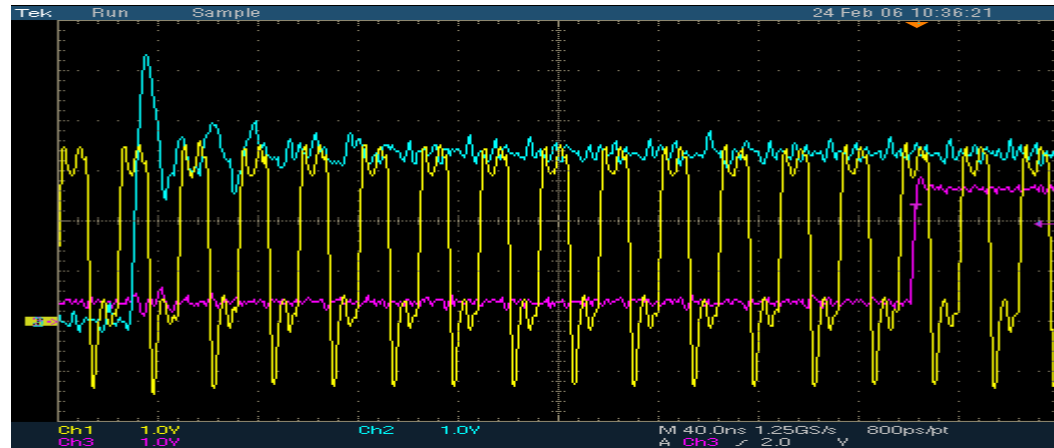
b. 重新上电，同步，数据从“0”变为“1”

b .并行自动同步模式

- 整个线路输出数据的时刻由输入的参考时钟（REFCLK）决定，在REFCLK时钟上升沿后6.6ns输出解串行数据，因此其传输延迟也是固定的，如图所示。传输延迟时间Latency在重上电前后没有变化，大致为293.6ns（40m光纤）。



a. 第一次上电，同步，数据从“0”变为“1”

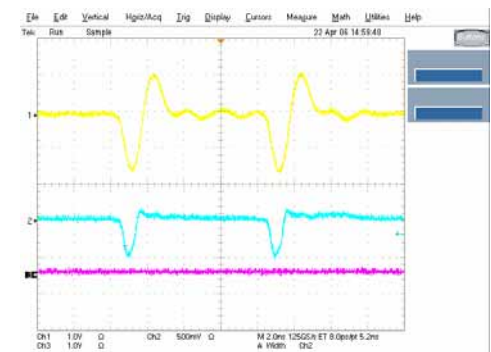
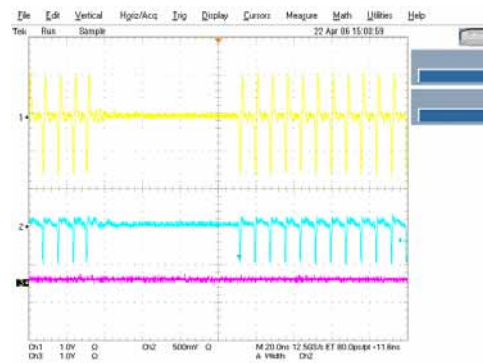
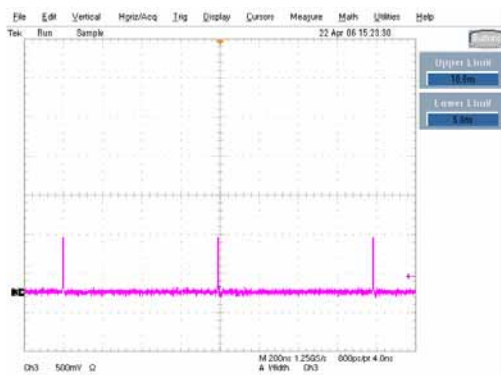
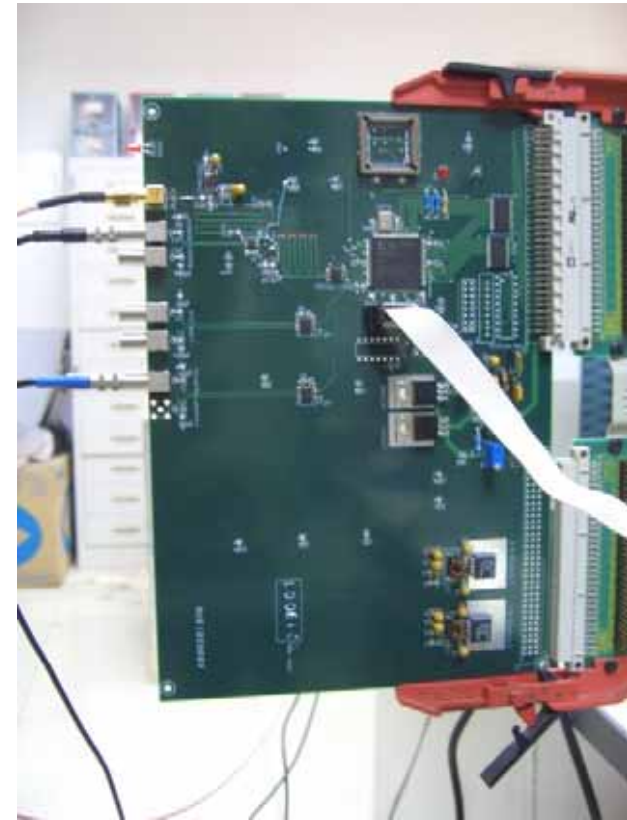


b . 重新上电，同步，数据从“0”变为“1”

束团信号产生器

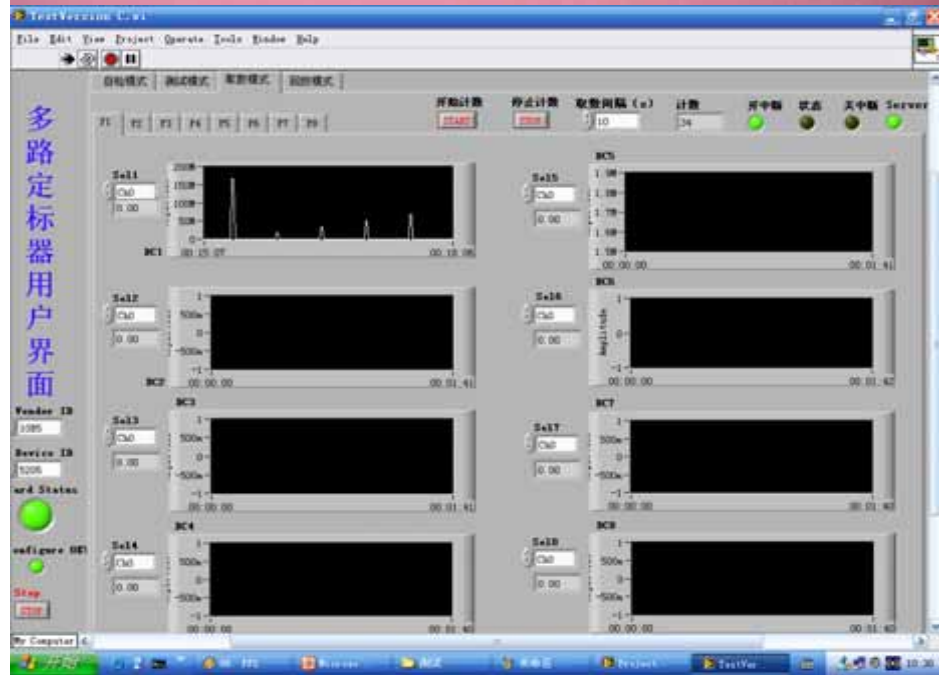
- 功能

- 旋转频率信号
- 缺口信号：储存环一周放93个束团，6个空档用于注入同步，构成缺口。
- 束团信号：FPGA内部逻辑产生周期为8ns的束团信号，缺口可以任意设置。每个束团信号都是由加速器感应电极给出的双极性窄脉冲信号。束团信号脉宽小于1ns，间隔8ns。
- 在FPGA外部转换成差分LVDS信号后，利用高速或门产生脉冲宽度小于1ns的窄脉冲束团信号。将单极性窄脉冲信号转换成一个双极性信号需要通过传输线延迟并经过高频响应放大器实现。

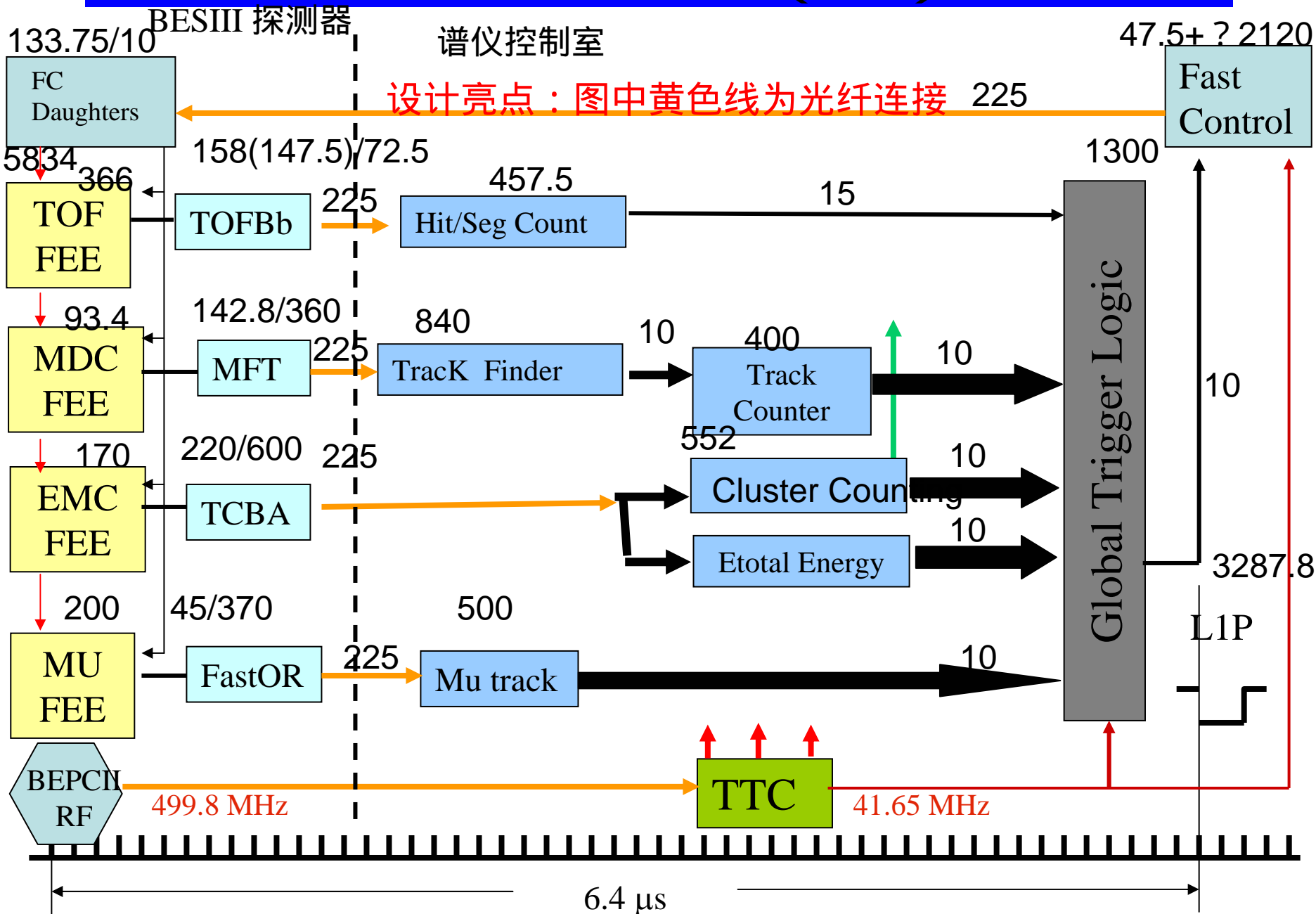


定标器 (见王强报告)

- 硬件设计和调试已经完成；
- 底层驱动程序和动态链接库也通过编译调试；
- LabView下的用户程序测试版已经完成；
- 本地数据库已经建立；
- 与DAQ的DIM通信模块已经嵌入用户程序，并做过简单测试；



时间开销预算 (ns)



问题与困难

- VME机箱不够
 - 大部分插件同时调试
 - 小系统联调
- 示波器：
 - 加速器中心示波器不能随时/长时借用
 - 特征码触发模式没有
- 焊接
 - 自己焊接质量没有保障
 - 批量小，厂家要价高
- 王科毕业，快控制需要重新安排人

计划

- 争取6月份MFT验收定型
 - FPGA、光纤、收发器等订货
- 6月份现有总触发、快控制、MDC小系统预联调，以便及早发现问题，判断总触发、快控制是否需要改版
- 7/8月TKF板和TCBA板的定型和生产
- 12月份进行漂移室的宇宙线实验

- TCBA 10CLK
- CSUM 8CLK
- MFT 15CLK
- TKF 15CLK SEDES + 20 LOGIC
- FCB $50\text{ns} + \text{ser}38 * 1.25$
- Fiber $45\text{m} * 5$ 225ns
- FCDB des $76 \sim 107 * 1.25$

- $55/3000 \sim \leq 18\text{uv}$, + increase 3uv