

# **MUON鉴别器**

---

## **VME读出插件调试进展**

**Debugging Progress  
of VME Readout Module of Muon Counter**

**中国科学技术大学近代物理系**

**BESIII Muon电子学组**

**刘宝莹**

**2006年4月26日**

# 摘要

---

**2005年6月，Muon鉴别器VME读出插件V1.0设计完成，经过半年的调试以及在此期间与各位老师和专家的探讨，获得了很多宝贵的经验和教训。在此基础上，于06年初进行了V2.0的设计，并从二月中旬开始调试。此次报告主要介绍V2.0的设计及调试进展，请各位老师提出宝贵的意见和建议。**

# 主要内容

---

- **VME读出插件V2.0设计**
  - 原理框图
  - 工作流程
  - PCB布局
- **VME读出插件V2.0调试进展**
  - 单板自检
  - 单板接数据链测试
  - 双板 + 控制-扇出插件自检测试
  - 双板接数据链 + 控制-扇出插件测试
- **后续工作**
  - 双板接数据链72小时稳定性测试
  - 与控制-扇出插件联调
  - 面板设计
  - CBLT异常处理

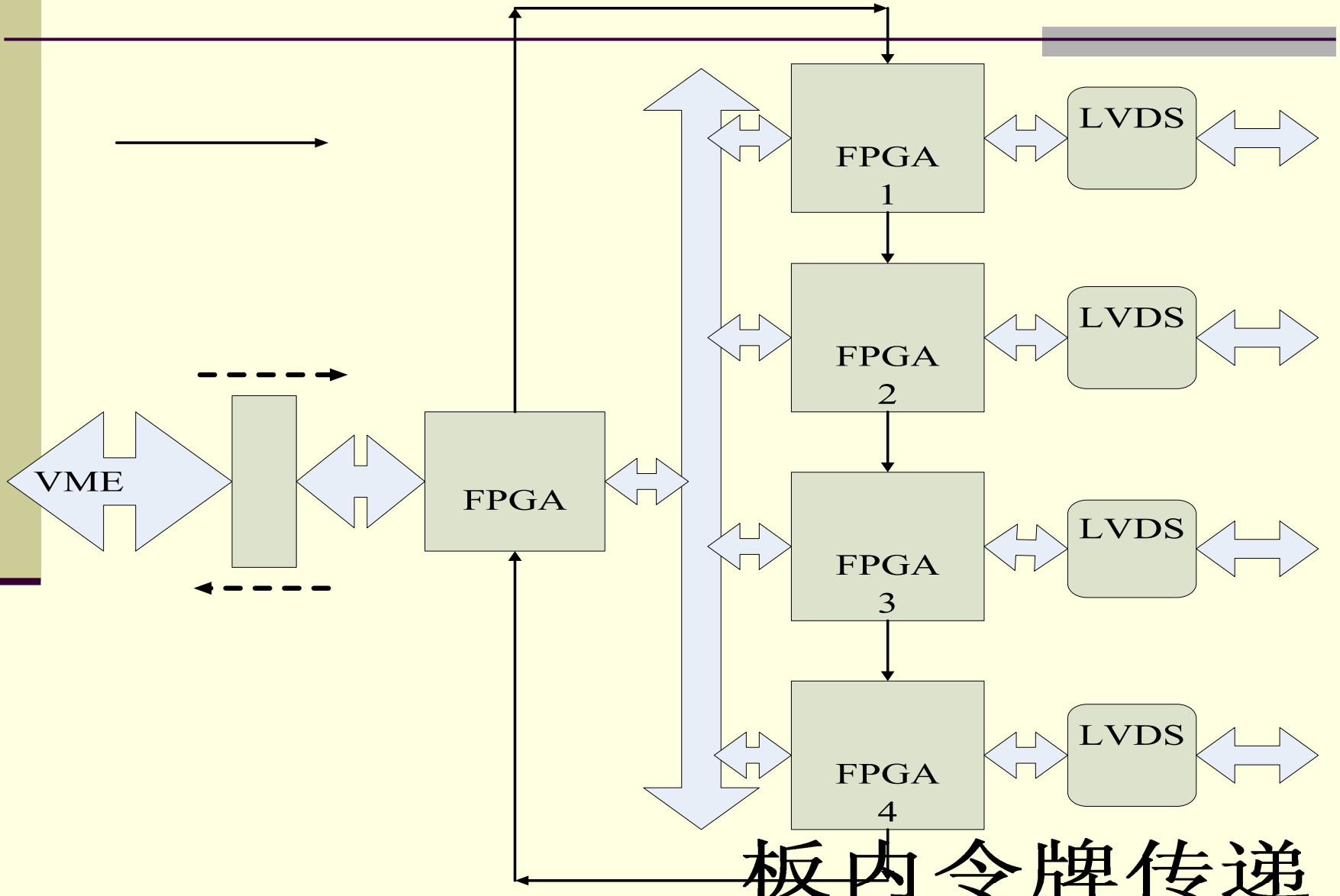
# — VME读出插件V2.0设计

---

- 原理框图
- 工作流程
- PCB布局

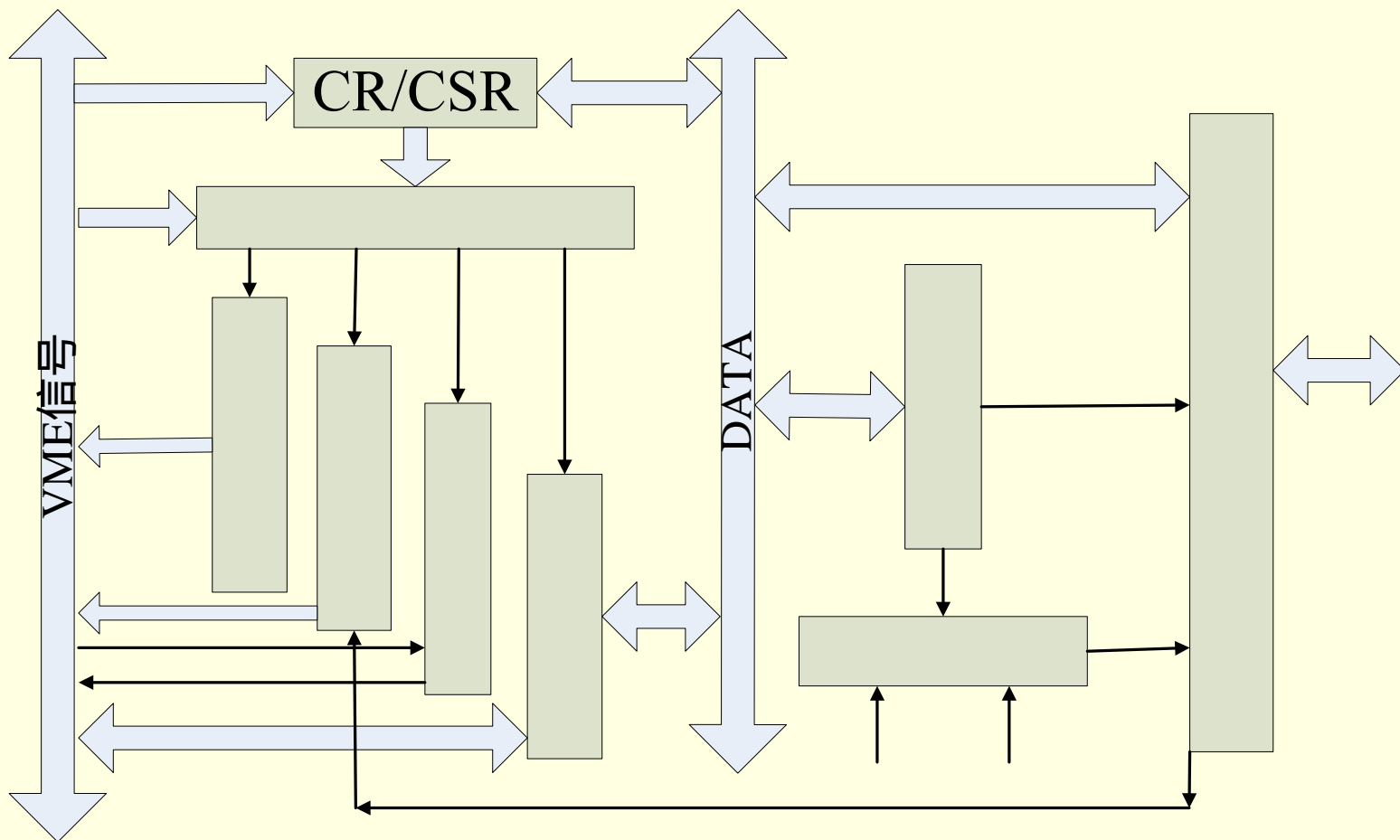
# VME读出插件V2.0设计

## 原理框图



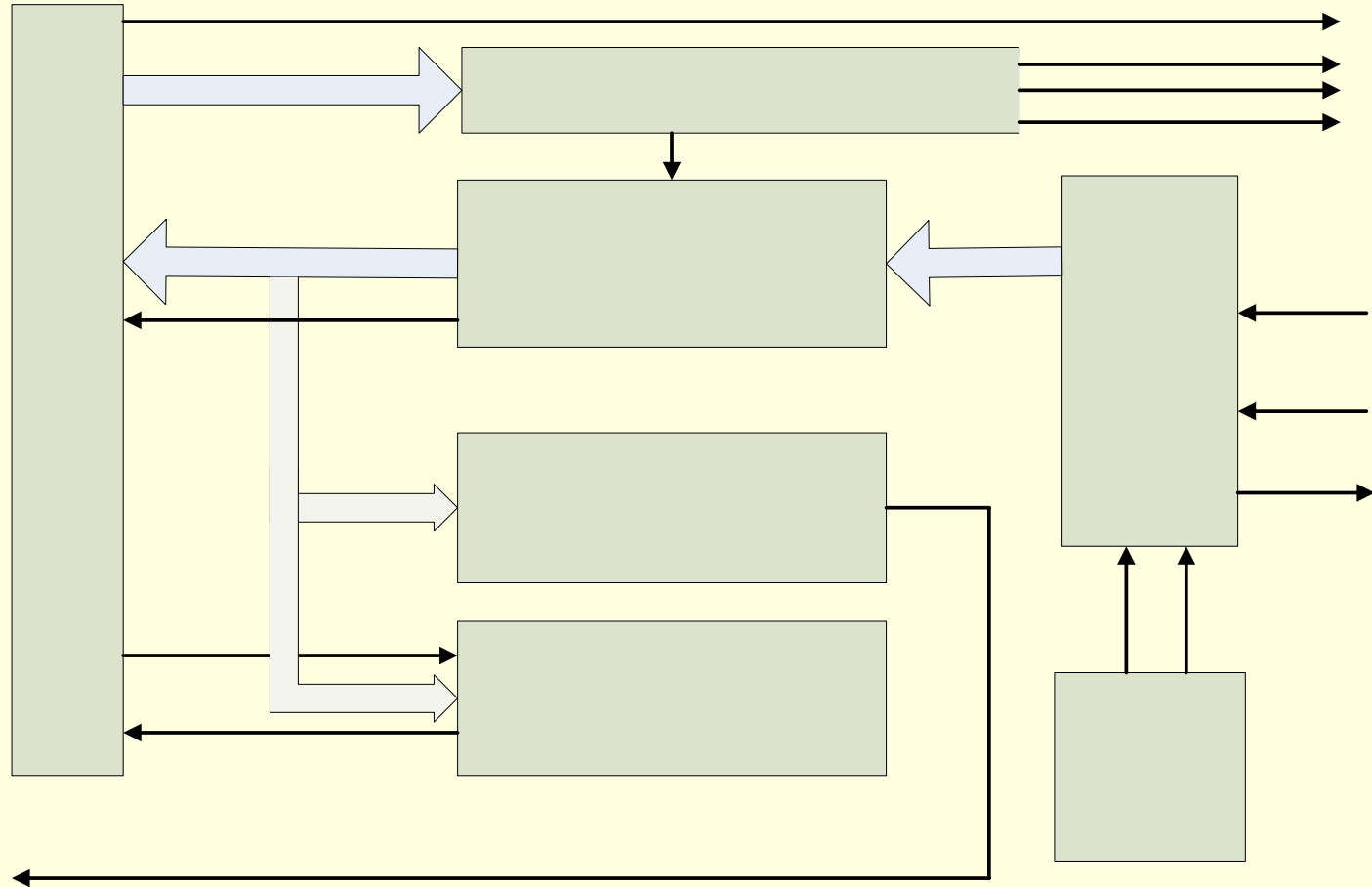
# VME读出插件V2.0设计

## ■ 原理框图—接口FPGA逻辑框图



# VME读出插件V2.0设计

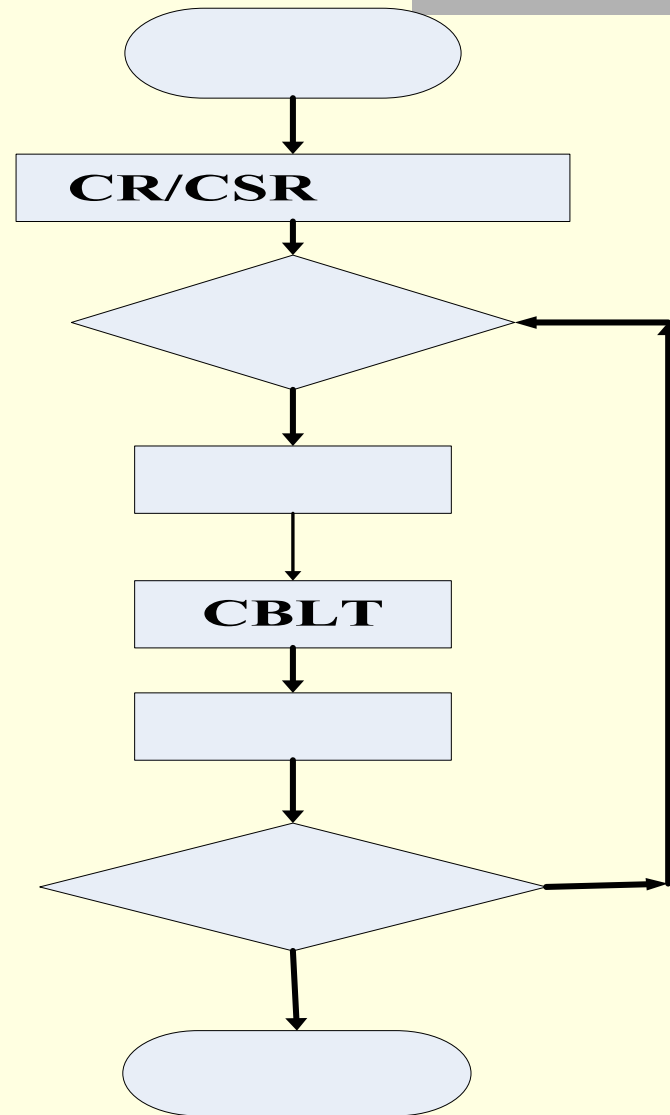
## ■ 原理框图—数据链控制FPGA逻辑框图



# VME读出插件V2.0 设计

## ■ 工作流程

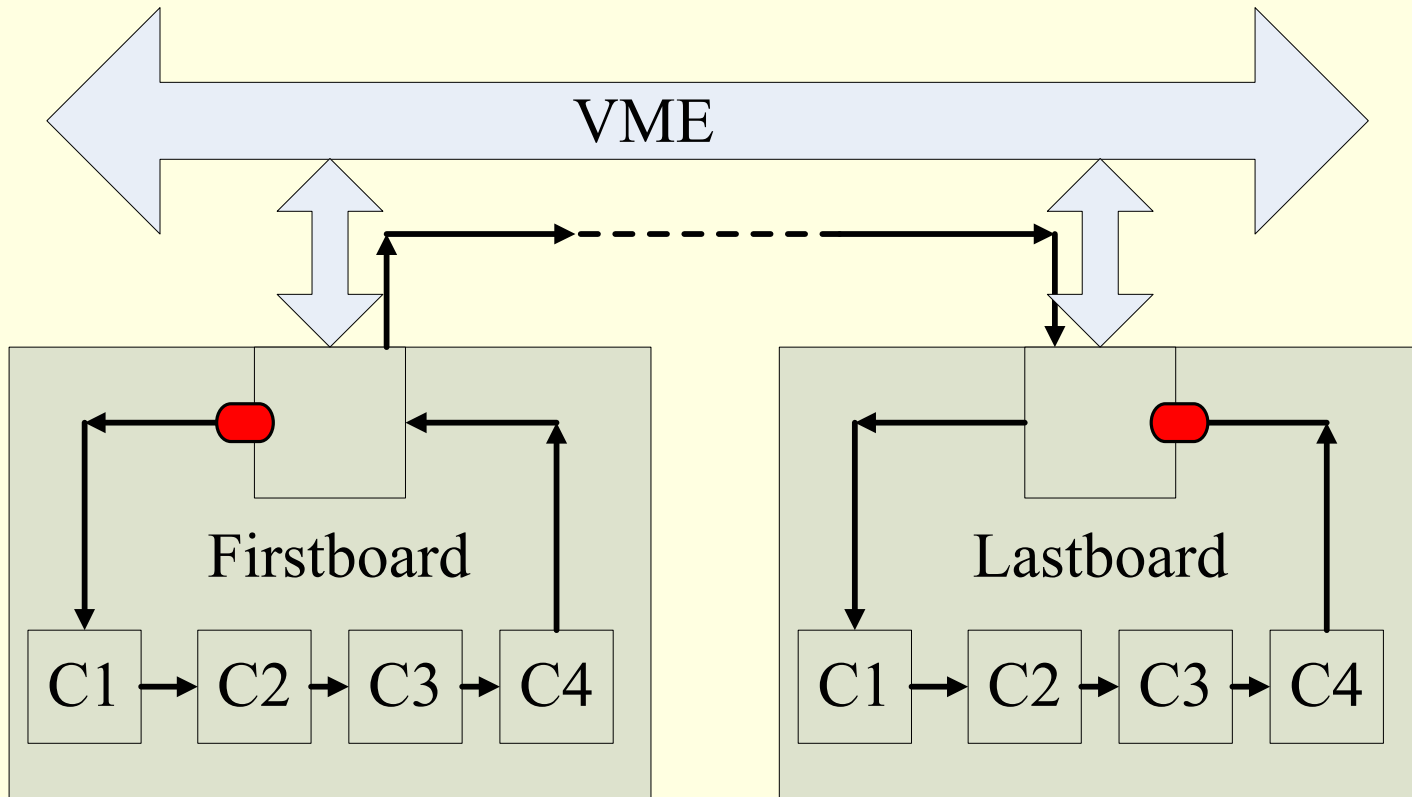
在PowerPC上，我们在CBLT与网络传输之间添加了一个8Mbytes的环形缓冲，并使用两个进程分别负责将CBLT获取的数据存储至环形缓冲，及将环形缓冲内的数据发送至网络端口。





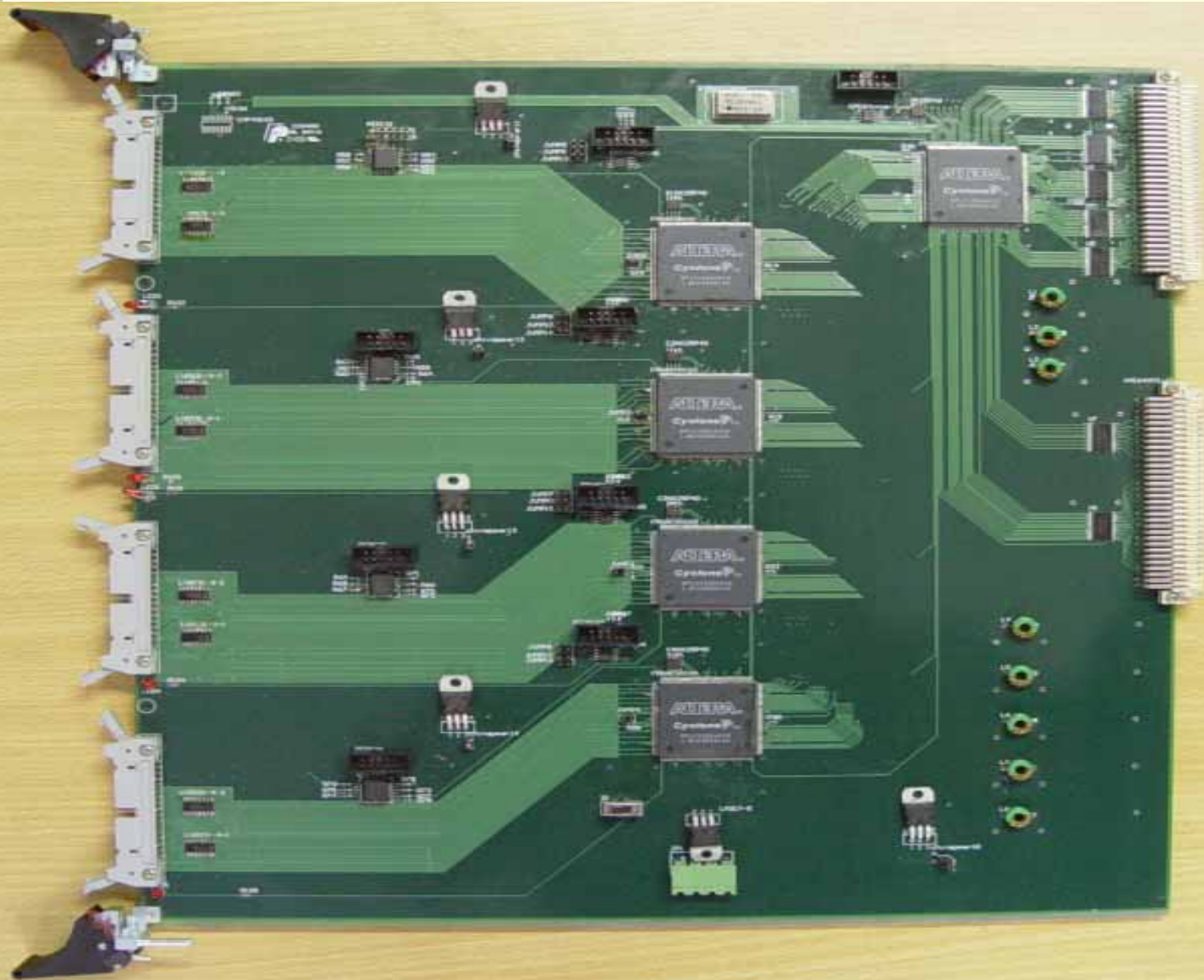
# VME读出插件V2.0 设计

- 工作流程—令牌传递
  - 插件相对位置的识别通过CR/CSR的相应读写操作完成



# VME读出插件第二版设计

## ■ PCB布局



## 二 VME读出插件调试进展

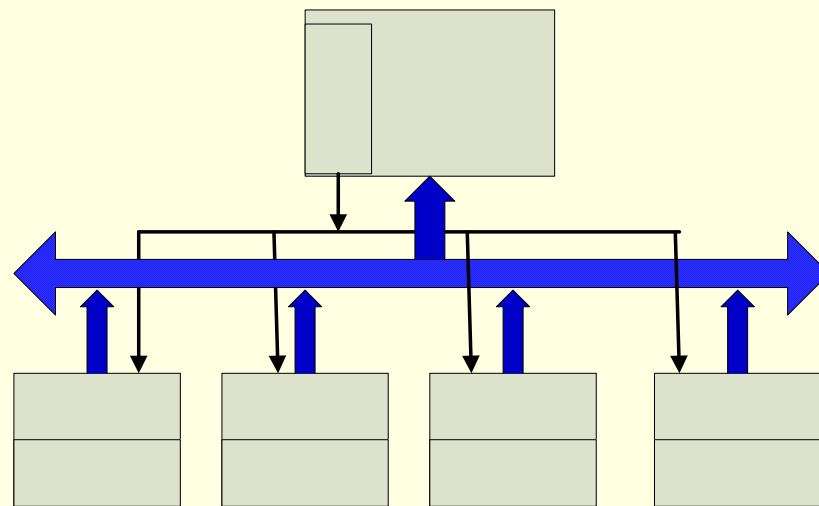
---

- 单板自检
- 单板接数据链测试
- 双板+控制-扇出插件自检
- 双板接数据链 +控制-扇出插件测试

# VME读出插件调试进展

## ■ 单板自检

- 接口FPGA产生自检触发，数据链控制FPGA产生自检数据。

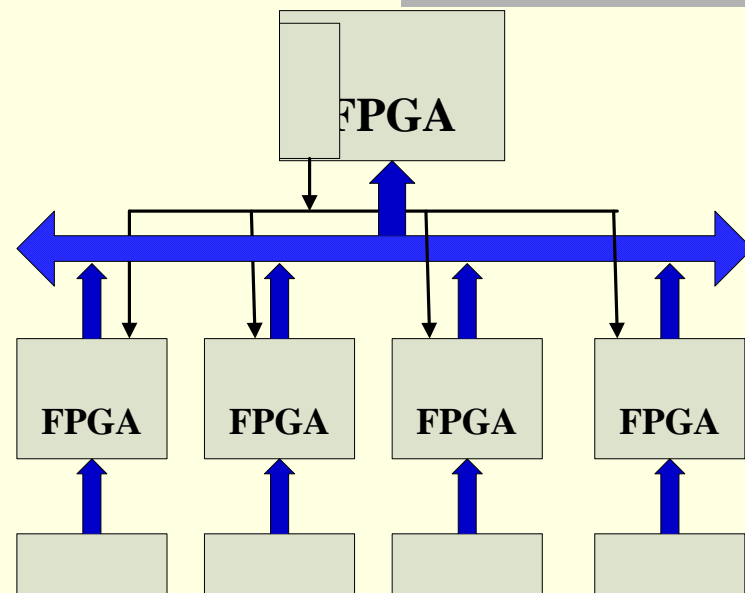


V2.0板	测试时间	Trigger总数	测试结果
A板	18小时52分钟	272,734,845	数据正确
B板	14小时24分钟	191,964,283	数据正确

# VME读出插件调试进展

## ■ 单板接数据链测试

- 接口FPGA产生自检触发信号，数据链控制FPGA产生命令控制前端板上的DAC及模拟开关产生仿探测器信号。

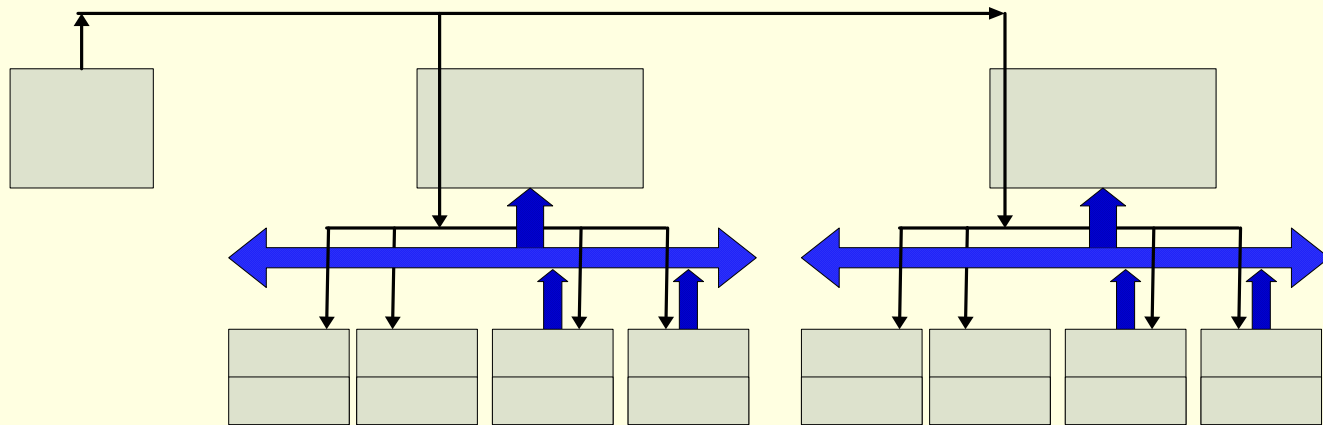


V2.0板	测试时间	测试通道	Trigger总数	测试结果
A板	16小时17分钟	3 4	234,362,470	数据正确
B板	12小时39分钟	1 2 3 4	182,089,744	数据正确

# VME读出插件调试进展

## ■ 双板+控制-扇出插件自检测试

- 由控制-扇出插件产生4K触发率的触发信号，通过保留总线驱动至读出插件，再由数据链控制FPGA产生自检数据进行上传



通道	测试时间	Trigger总数	测试结果
A板第三通道	10小时 5分钟	145,177,398	数据正确
A板第四通道			数据正确
B板第三通道			数据正确
B板第四通道			数据正确

# VME读出插件调试进展

- 双板接数据链 +控制-扇出插件测试
  - 两插件分别接两个数据链，由控制-扇出插件提供自检触发信号，通过FEC板上的DAC和模拟开关模拟探测器信号。

通道	测试时间	Trigger总数	测试结果
A板通道3	17小时 47分钟	255,918,610	数据正确
A板通道4			数据正确
B板通道3			数据正确
B板通道4			数据正确

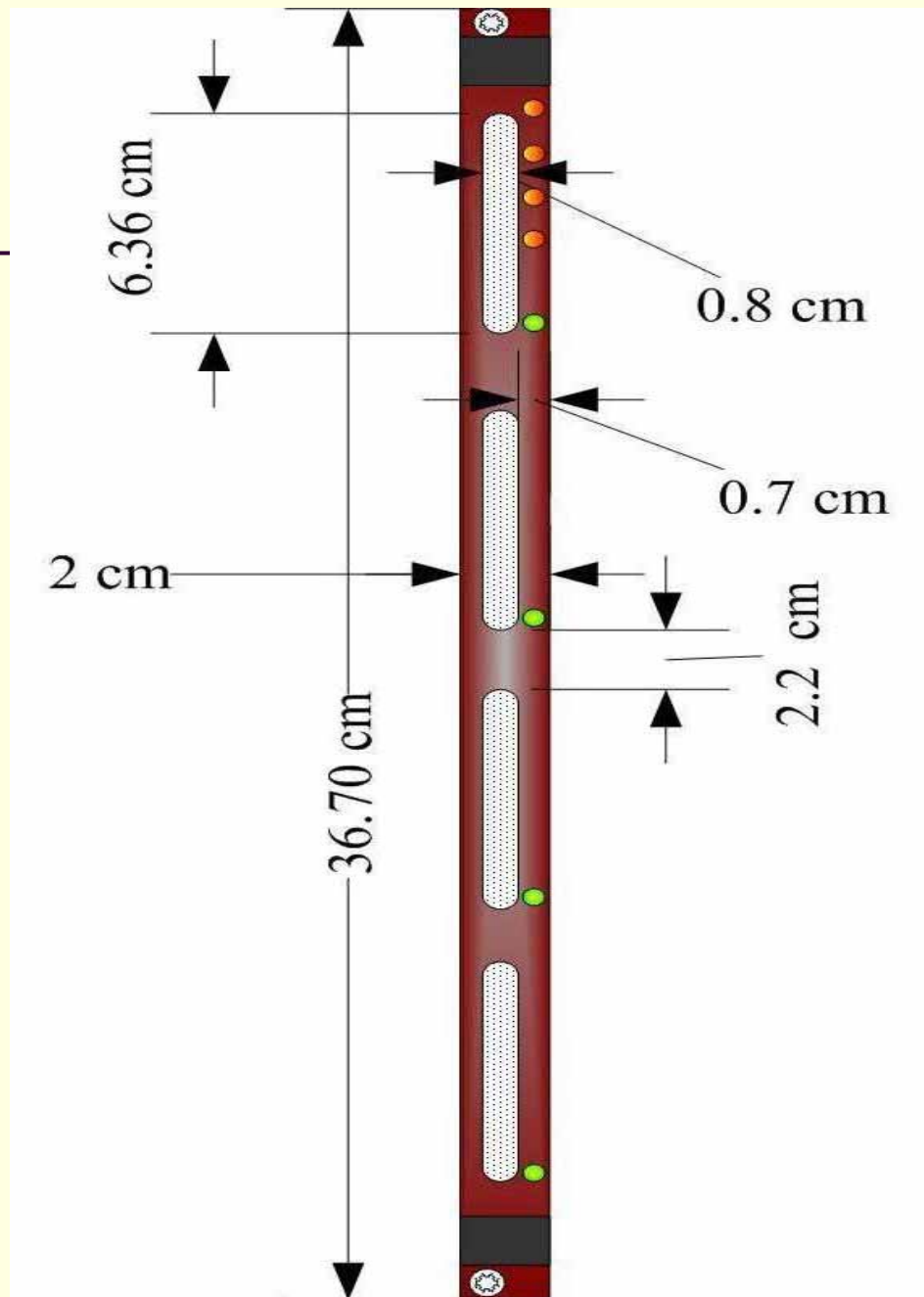
# 三 后续工作

- 双板接数据链72小时稳定性测试
- 与控制-扇出插件联调
  - 各信号通过VME保留总线传输的可靠性试验
  - 各信号功能实现（Full，Check等）
- 面板设计（详见下页）
- CBLT异常处理
  - 当某一条链出现异常而截断令牌传递时，考虑使用超时机制屏蔽掉出错通道



# 面板设计

目前，已经放弃后插件方案，所有FEC数据电缆均由前面板直接进入。



謝謝！