

主触发判选插件GTL调试及 主触发子系统局部联调

金大鹏

2006年4月26日

BES 电子学Workshop会

一、主要内容

➤ 主触发子系统简介

➤ GTL插件主要功能调试及主触发子系统局部联调

➤ 总结及下一步工作计划

二、主触发子系统简介

主触发子系统是触发系统的核心判选系统，负责收集各触发子系统的触发条件、进行最后的事例判选并把L1*、CHK*信号扇出到各电子学系统及各触发子系统。该系统同时负责 1)收集各电子学系统及各触发子系统的状态信息、对其进行一定的处理，2)接收TOF电子学送出的Clock信号，并将其扇出到除TOF电子学系统以外的各电子学系统及各触发子系统，3)向各电子学系统及各触发子系统扇出快控制信号。

图1为触发系统框图，图2为主触发子系统框图。

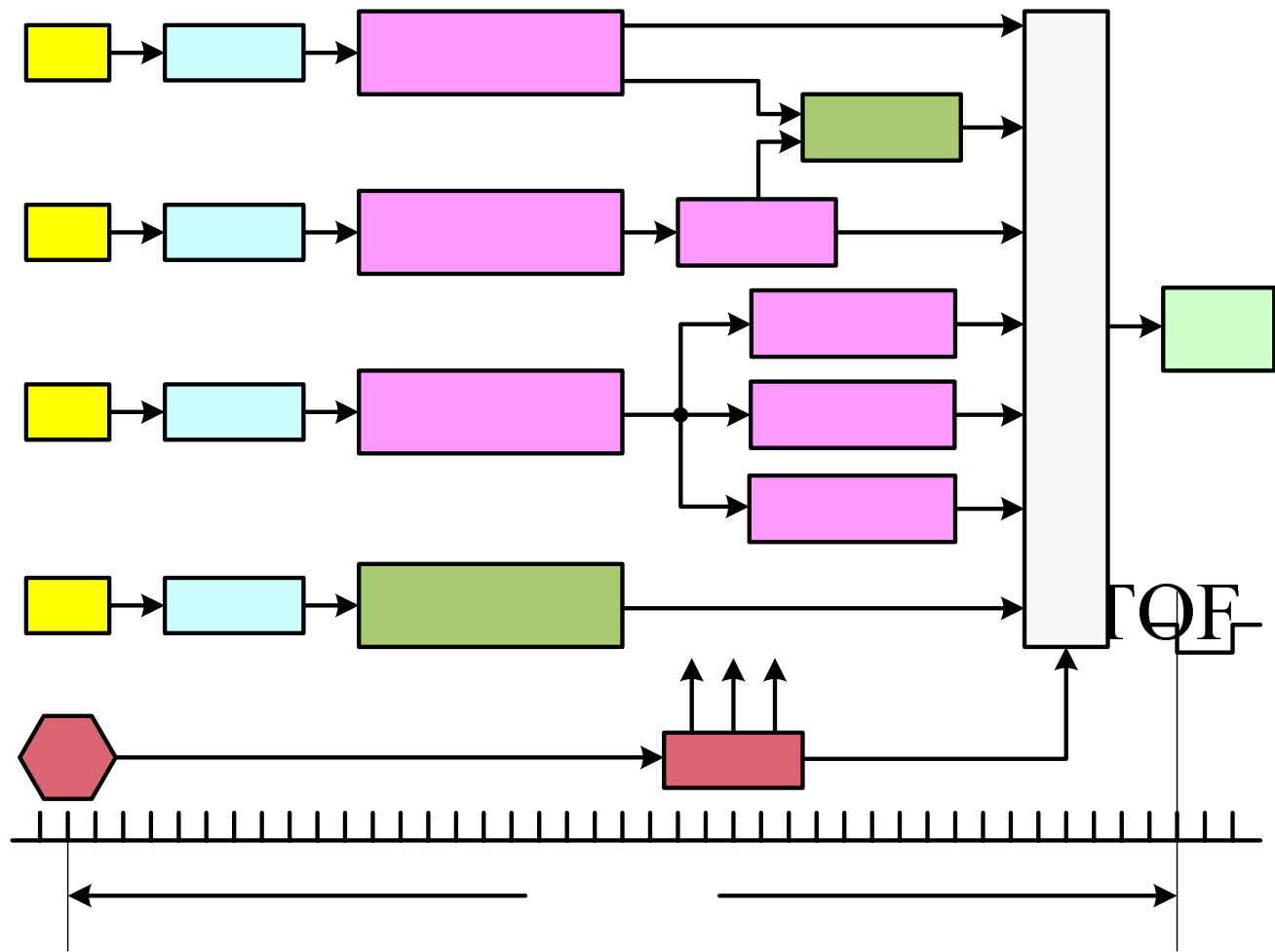


图1 触发系统框图

MDC

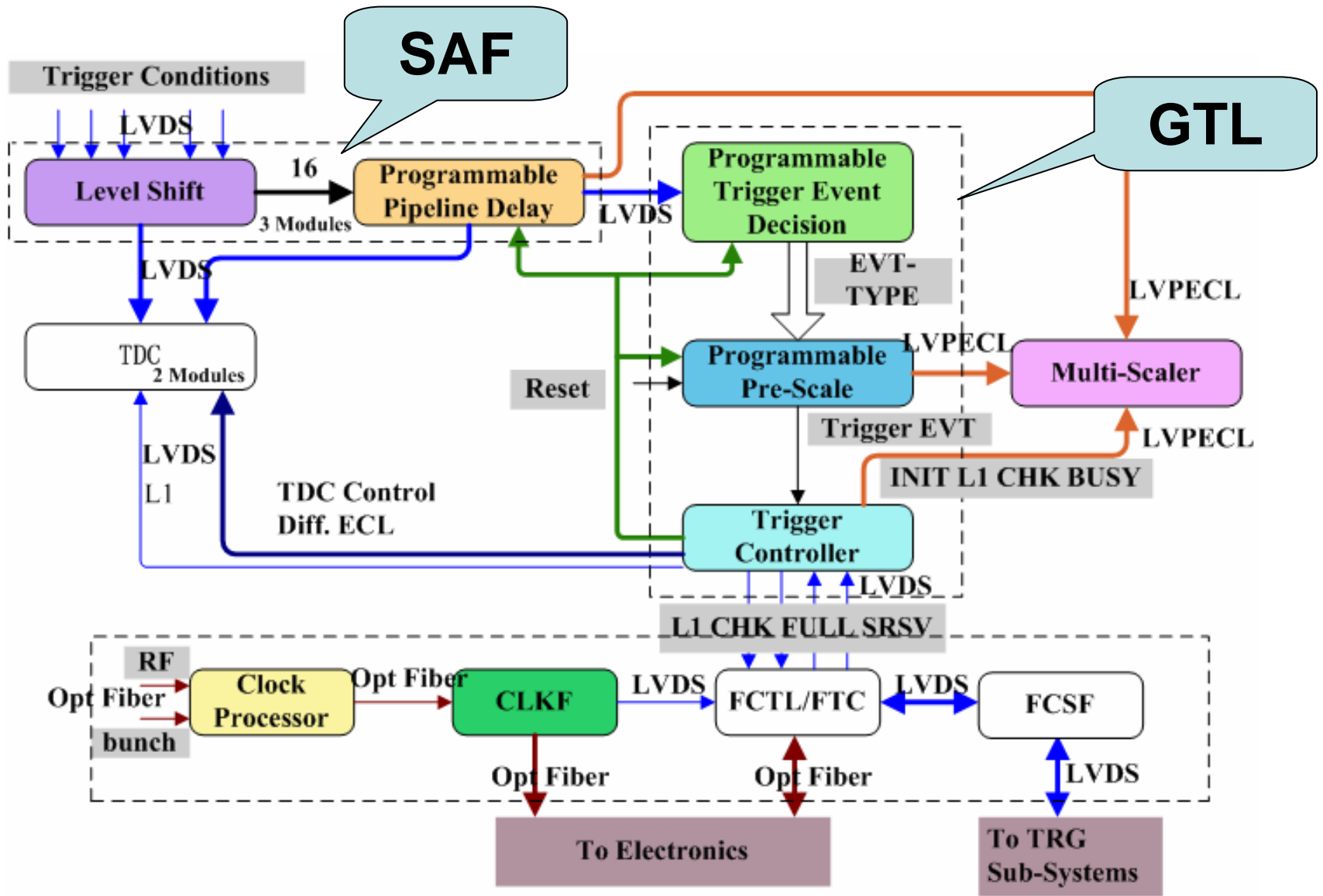


图2 主触发子系统框图

三、GTL插件主要功能调试及主触发子系统局部联调

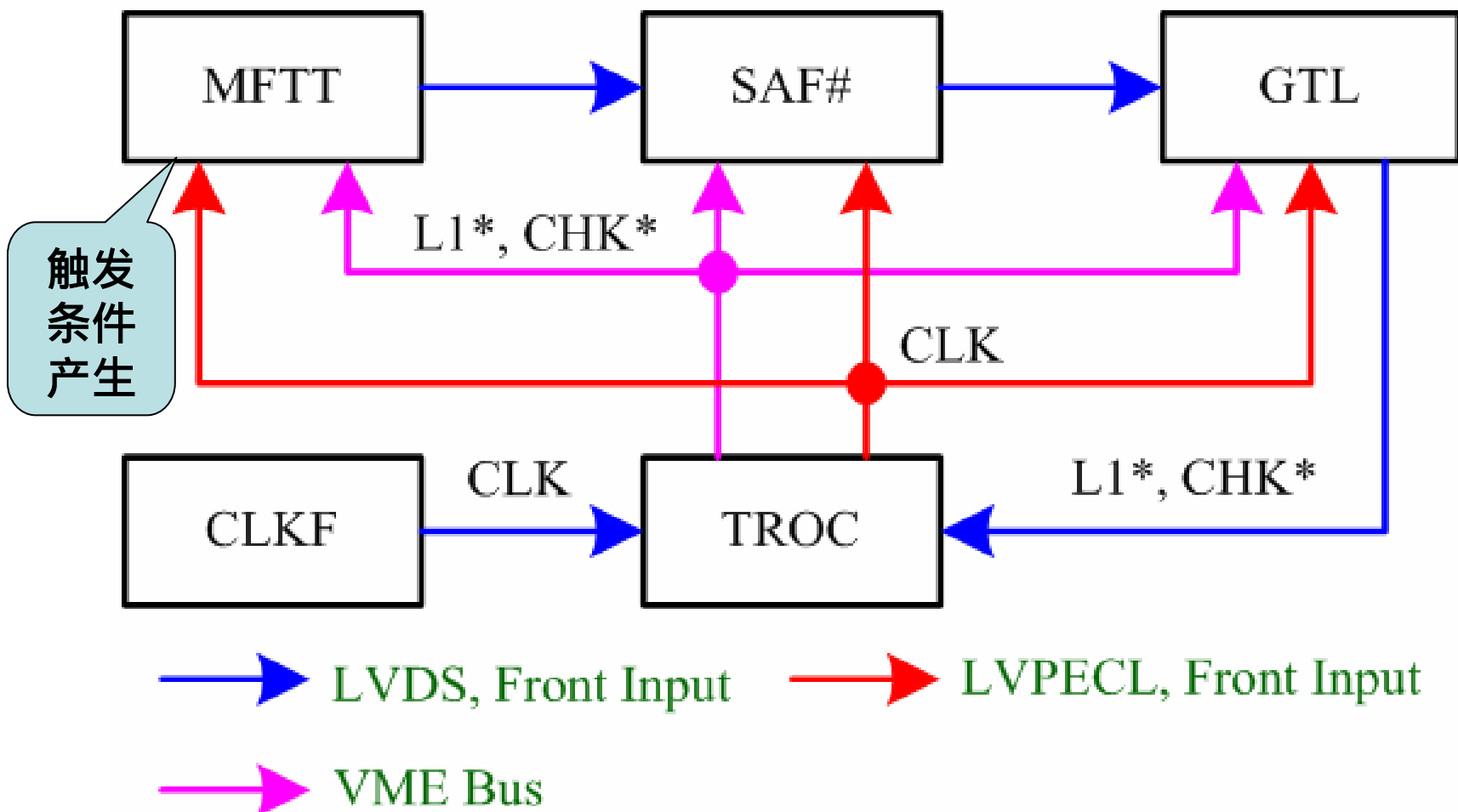


图3 主触发子系统局部联调框图

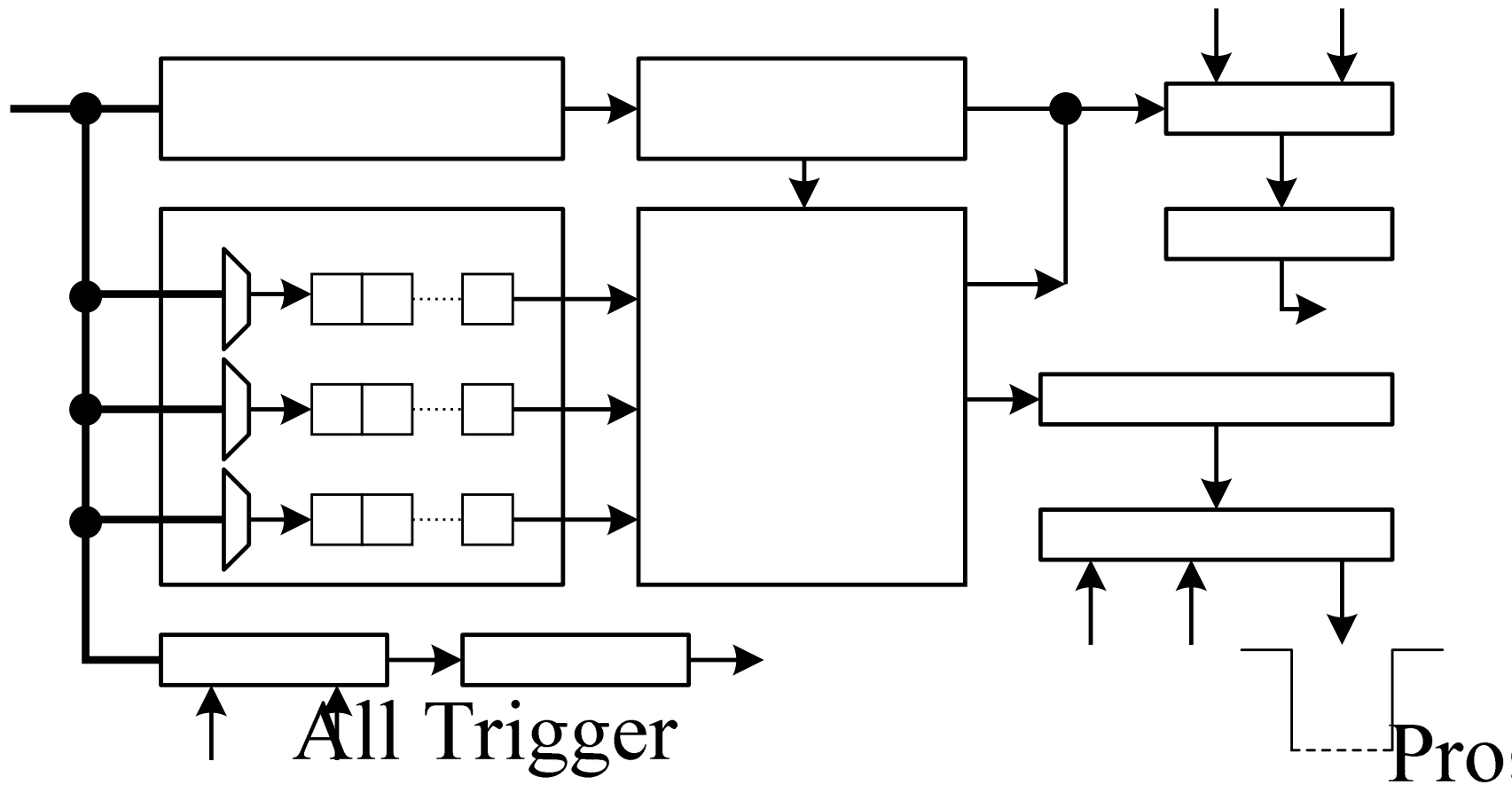


图4 GTL 插件FPGA内部主要功能框图

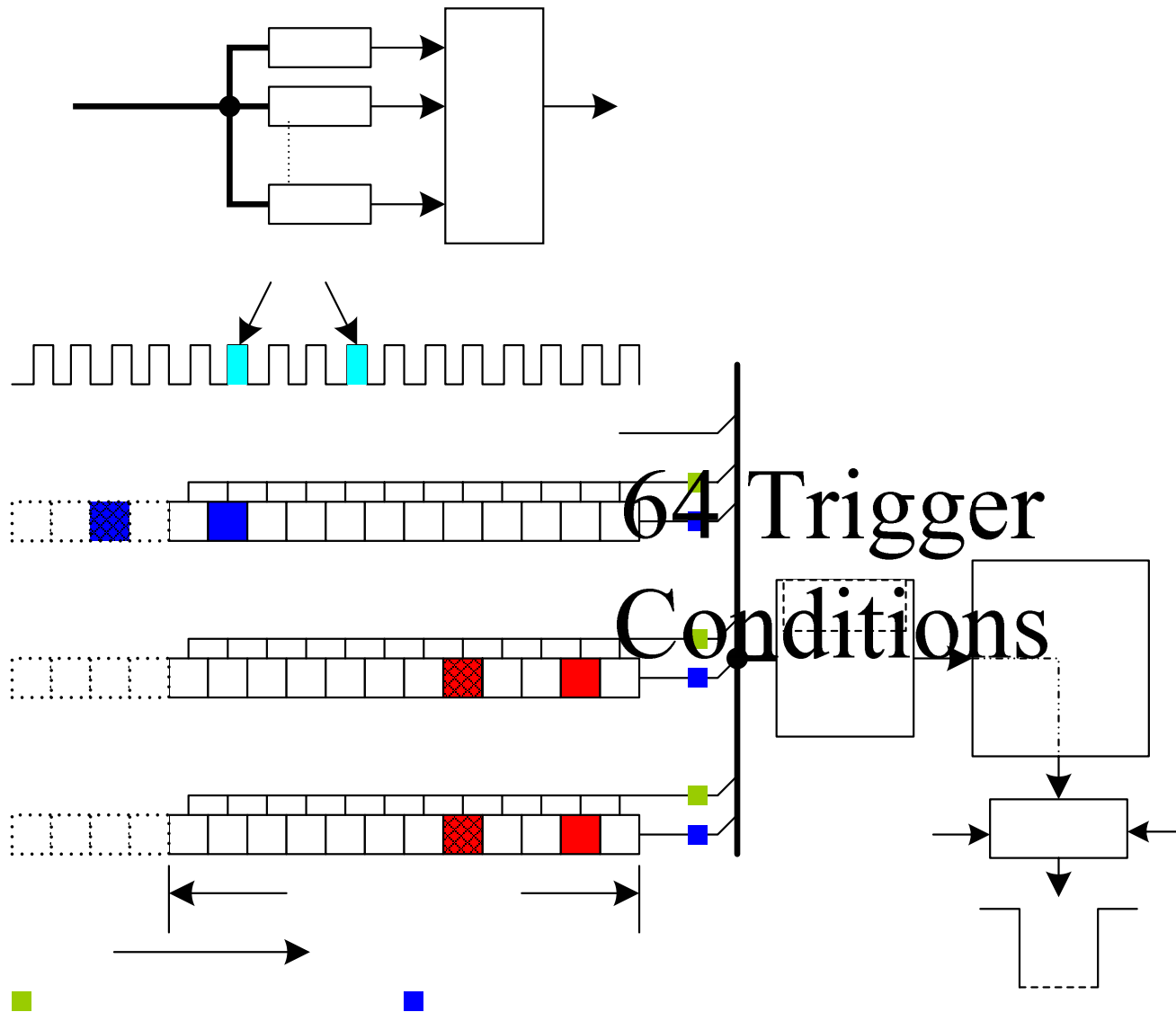


图5 L1*定时产生示意图

3.1 触发表判选逻辑初步测试

	CH01	CH02	CH16
通道使能	Y/N	Y/N	Y/N	Y/N
触发条件 01	00/01/ 02/03	00/01/ 02/03	00/01/ 02/03	00/01/ 02/03
触发条件 02	00/01/ 02/03	00/01/ 02/03	00/01/ 02/03	00/01/ 02/03

.....	(输入选择	说 明	备 注
.....	(00	触发条件输入	正常逻辑
触发条件 64	(01	触发条件取反输入	反符合逻辑
	(02	高电平输入	输入不起作用
		03	同02	

经过测试，两个Bhabha预定标道(桶部和端盖)工作正常，随机触发道工作正常(随机触发频率可调，最大~100KHz)。其余事例道，只测试了通道1(各通道均为同一类型模块)，L1*产生时序、宽度正常。

3.2 L1*定时测试

3.2.1 L1*定时时序测试

GTL插件内部对每一路输入触发条件均可做最大~1.6 μ s的时延。测试中，保持SAF插件的输出信号前沿对齐(如图6所示)，调整GTL插件各通道时延，看L1*信号相对SAF插件输出定时信号时序是否一致。

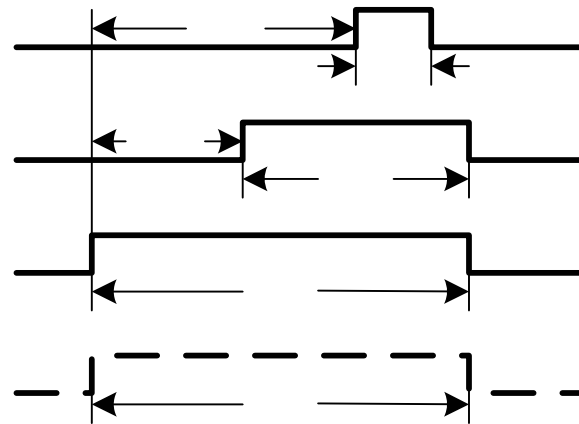
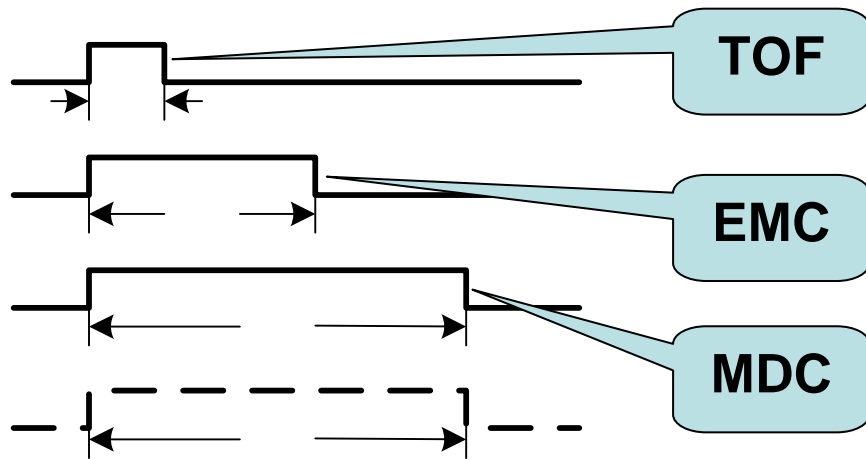


图6 触发条件时间对齐输入

图7 触发条件事例对齐输入

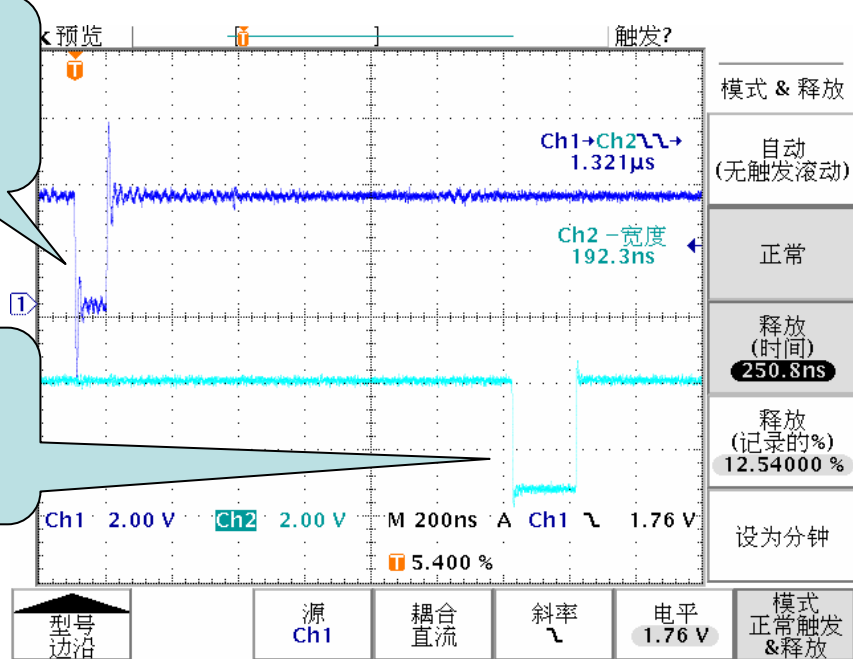
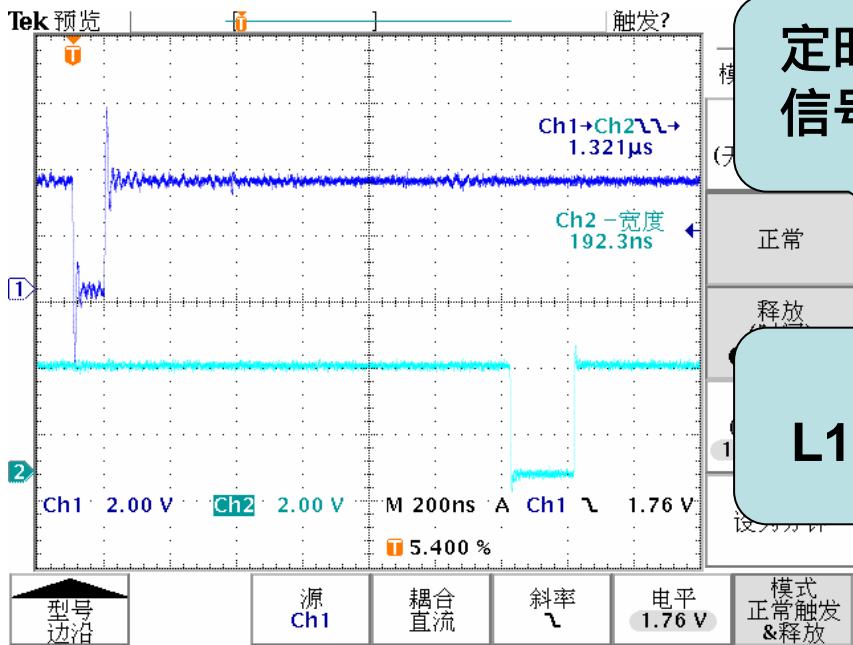


图8 时间对齐输入定时结果

图9 事例对齐输入定时结果

3.2.2 定时优先级测试

硬件设计中，定时通道0对应TOF定时，1对应EMC定时，2对应MDC定时。定时通道0优先级最高，2最低。SAF插件输出的触发条件如图10所示。

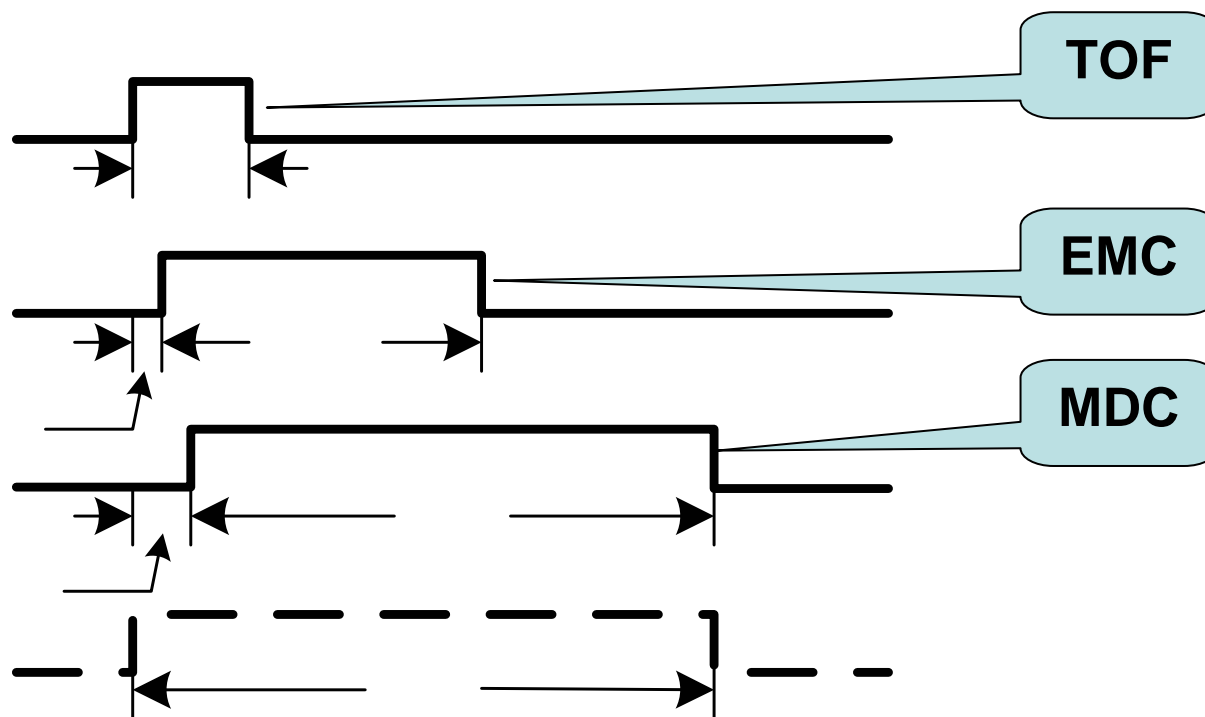


图10 定时优先级测试SAF插件输出触发条件时序

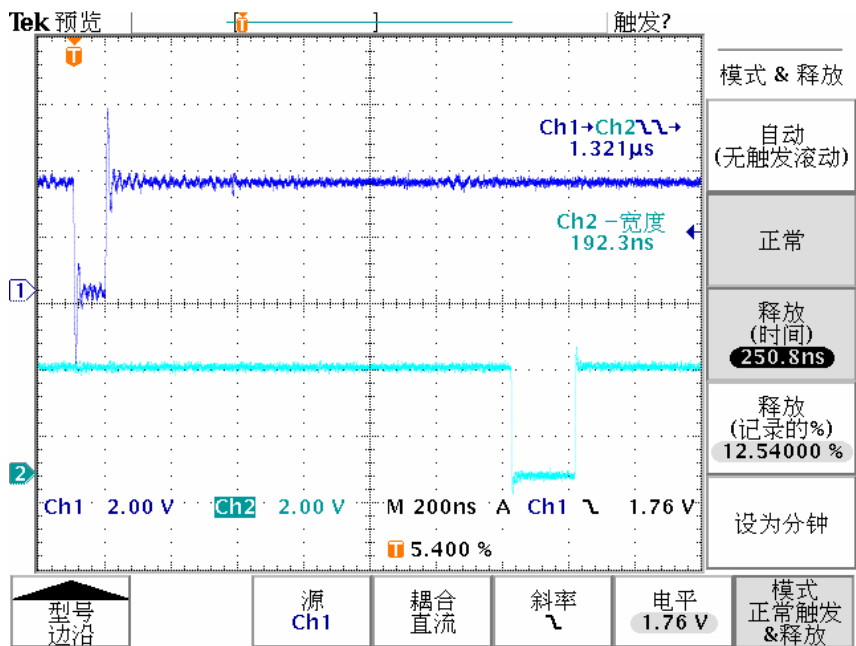


图11 定时通道选择TOF、EMC、MDC输入时的定时时序

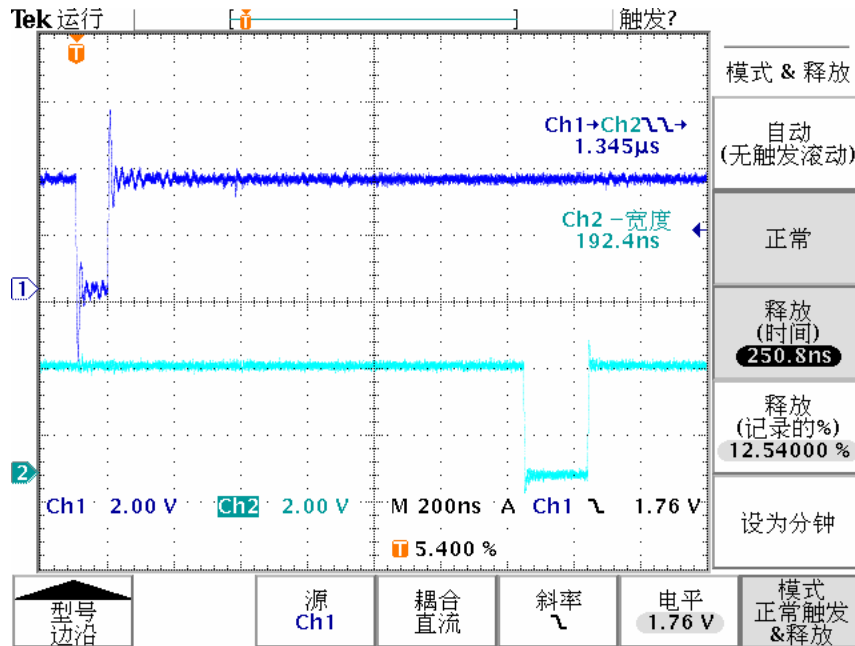


图12 定时通道选择EMC、MDC、TOF输入时的定时时序

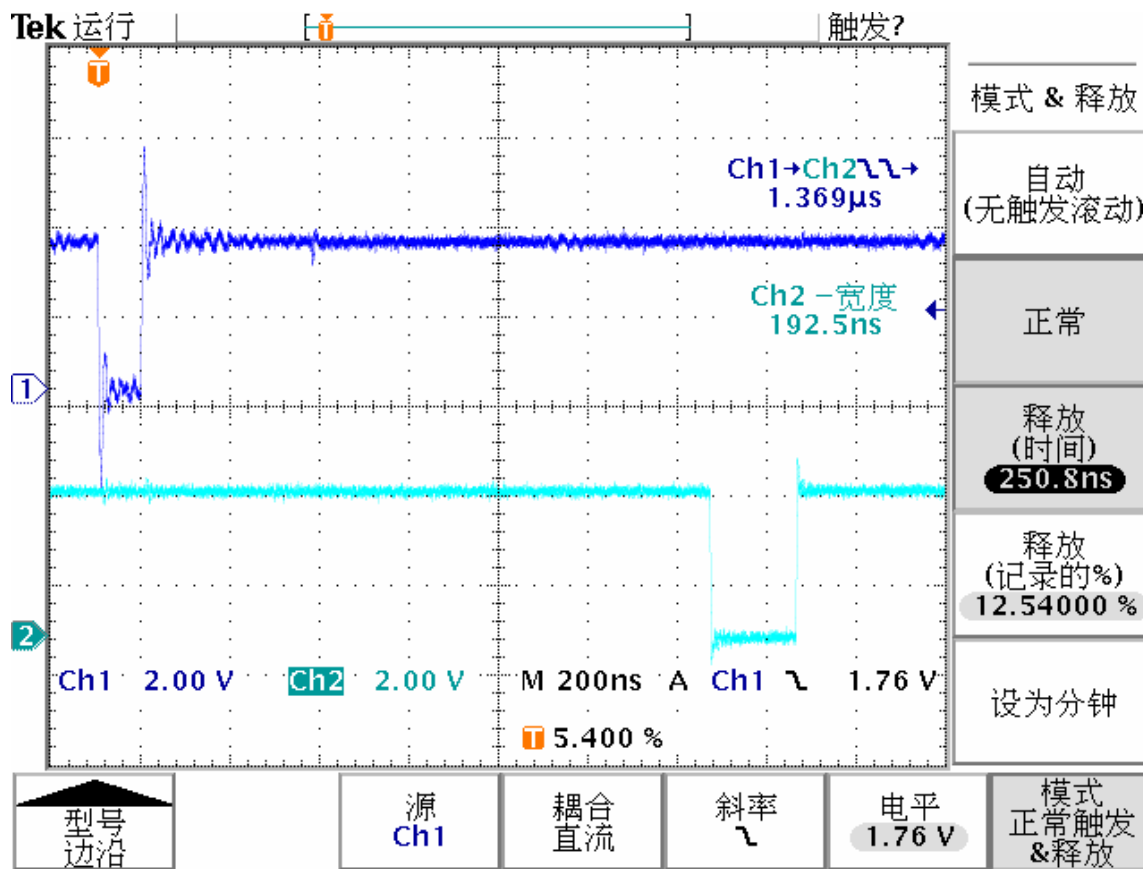


图13 定时通道选择MDC、TOF、EMC输入时的定时时序



图14 主触发子系统联调实物图

3.3 死时间测试

经过测试，死时间设置为0X77即119时，允许最小的好事例间隔为120个时钟周期，与设计一致

3.4 L1*控制写和CBLT读出测试

多次连续L1*控制写及多次连续CBLT读出测试同时进行，输入及设置相同时，读出相同；输入及设置变化时，读出跟着相应变化。

L1*控制写流水线缓存读写指针差值、读出窗宽设置正常；CBLT读出各部分数据量及总数据量正常。

读出数据与预期结果一致。

四、总结及下一步工作计划

- ✓GTL插件主要功能初步调试已经完成，各部分逻辑工作正常；
- ✓进行了主触发子系统局部联调，各插件工作正常。
- 借助DAQ组开发环境，编写主触发子系统调试程序，实现主触发子系统连续自动测试，详尽测试GTL插件功能，并撰写归档材料；
- 尽快实现主触发子系统(含快控制)全系统联调；
- 尽快实现与各触发子系统联调；